

日 本 国 特 許 庁

JAPAN PATENT OFFICE

jcs29 U.S. PRO  
10/050810  
01/18/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月26日

出 願 番 号

Application Number:

特願2001-128962

出 願 人

Applicant(s):

三菱電機株式会社

2001年 5月30日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3047539

【書類名】 特許願

【整理番号】 529320JP01

【提出日】 平成13年 4月26日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 日高 秀人

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜磁性体記憶装置

【特許請求の範囲】

【請求項 1】 半導体基板上に形成される薄膜磁性体記憶装置であって、データ記憶を実行するための複数のメモリセルを備え、各前記メモリセルは、導通時にデータ読出電流の経路を形成するためのアクセス素子と、前記アクセス素子と直列に結合されて、記憶データに応じて電気抵抗値が変化する磁気記憶部とを含み、前記磁気記憶部は、前記半導体基板上に形成され、固定の磁化方向を有する第 1 の磁性体層と、前記半導体基板上に形成され、外部からの印加磁界に応じて磁化方向が変化する第 2 の磁性体層と、前記第 1 および第 2 の磁性体層の間に形成される絶縁膜とを含み、前記磁気記憶部は、第 2 の磁性体層の平面方向の一部の所定領域を用いて形成される、薄膜磁性体記憶装置。

【請求項 2】 前記所定領域は、磁化容易軸方向の磁界が印加された場合における磁化特性を考慮して定められる、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 3】 前記磁気記憶部に対応する領域においては、前記第 1 および第 2 の磁性体層の間の距離は、その他の領域よりも小さい、請求項 2 記載の薄膜磁性体記憶装置。

【請求項 4】 前記絶縁膜は、前記第 1 および第 2 の磁性体層の両方が高さ方向に重なって形成される領域の少なくとも一部に形成される、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 5】 前記第 1 および第 2 の磁性体層の少なくとも一方は、複数個の前記メモリセルに対して共通に用いられる、請求項 1 から 4 のいずれかに 1 項に記載の薄膜磁性体記憶装置。

【請求項 6】 前記第 2 の磁性体層は、各前記メモリセルにおいて、磁化容易軸方向が前記印加磁界と一致するような平面形状を有する、請求項 1 記載の薄

膜磁性体記憶装置。

【請求項 7】 前記アクセス素子は、前記半導体基板上に形成される電界効果型トランジスタである、請求項 1 から 6 のいずれかに 1 項に記載の薄膜磁性体記憶装置。

【請求項 8】 前記アクセス素子は、前記半導体記憶基板上に形成されるダイオードである、請求項 1 から 6 のいずれか 1 項に記載の薄膜磁性体記憶装置。

【請求項 9】 薄膜磁性体記憶装置であって、  
記憶データのレベルに応じて電気抵抗値が変化するメモリセルと、  
読出参照電圧を生成するためのダミーメモリセルとを備え、  
前記ダミーメモリセルは、  
各々が前記メモリセル同様の構成を有する複数のセルユニットを含み、  
前記複数のセルユニットのうちの少なくとも 1 個ずつは、異なるレベルの前記記憶データを保持し、

データ読出時において、前記複数のメモリセルのうちの選択された 1 個と接続される第 1 のデータ線と、  
前記ダミーメモリセルと接続される第 2 のデータ線と、  
前記第 1 および第 2 のデータ線の電圧差を検知するためのデータ読出回路とを備える、薄膜磁性体記憶装置。

【請求項 10】 前記ダミーメモリセルは、  
前記データ読出時において、前記第 2 のデータ線に対して並列に接続される 2 個の前記セルユニットを含み、  
前記 2 個のセルユニットは、異なるレベルの前記記憶データをそれぞれ保持する、請求項 9 記載の薄膜磁性体記憶装置。

【請求項 11】 前記ダミーメモリセルは、  
前記データ読出時において、前記第 2 のデータ線に対して直列に接続される 2 個の前記セルユニットを含み、  
前記 2 個のセルユニットは、異なるレベルの前記記憶データをそれぞれ保持する、請求項 9 記載の薄膜磁性体記憶装置。

【請求項 12】 前記メモリセルおよび前記セルユニットの各々は、データ

書込磁界の方向に応じたレベルの前記記憶データを書込まれ、

前記薄膜磁性体記憶装置は、

同一方向に沿って配置される 2 本のビット線から構成されるビット線対をさらに備え、

データ書込時において、前記 2 本のビット線は、互いに逆方向のデータ書込電流を流すために一端同士が結合され、

前記 2 個のセルユニットは、前記 2 本のビット線をそれぞれ流れるデータ書込電流によって生じる、互いに反対方向の前記データ書込磁界によって前記記憶データが書込まれる、請求項 11 記載の薄膜磁性体記憶装置。

【請求項 13】 前記複数のメモリセルは、メモリアレイ上に行列状に配置され、

前記ダミーメモリセルは、前記メモリアレイ上において、行方向に沿って余分に配置された前記メモリセルを前記セルユニットとして用いることによって、前記メモリセルの各列に対応して配置される、請求項 9 記載の薄膜磁性体記憶装置。

【請求項 14】 前記複数のメモリセルは、メモリアレイ上に行列状に配置され、

前記ダミーメモリセルは、前記メモリアレイ上において、列方向に沿って余分に配置された前記メモリセルを前記セルユニットとして用いることによって、前記メモリセルの各行に対応して配置される、請求項 9 記載の薄膜磁性体記憶装置。

【請求項 15】 行列状に配置された複数のメモリセルと、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、前記データ読出時および前記データ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備え、

各前記メモリセルは、  
 記憶データに応じて電気抵抗値が変化する磁気記憶部と、  
 対応する前記ビット線と第 1 の電圧との間に、前記磁気記憶部と直列に結合されるアクセストランジスタを含み、  
 前記アクセストランジスタは、  
 対応する前記リードワード線と結合されるゲートと、  
 前記第 1 の電圧と結合される第 1 のコンタクトと、  
 前記第 1 のコンタクトと列方向に隣接して配置され、前記磁気記憶部と結合される第 2 のコンタクトとを有し、  
 各前記メモリセル行において、前記第 1 および第 2 のコンタクトの配置は同様に繰り返され、  
 隣接する前記メモリセル列間において、前記メモリセル同士は、 $1/2$  ピッチずつずらして配置され、  
 各前記ライトワード線は、各前記ビット線よりも上層に形成される、薄膜磁性体記憶装置。

【請求項 16】 行列状に配置された複数のメモリセルと、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、前記データ読出時および前記データ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備え、

各前記メモリセルは、  
 記憶データに応じて電気抵抗値が変化する磁気記憶部と、  
 対応する前記ビット線と第 1 の電圧との間に、前記磁気記憶部と直列に結合されるアクセストランジスタを含み、  
 前記アクセストランジスタは、  
 対応する前記リードワード線と結合されるゲートと、

前記第 1 の電圧と結合される第 1 のコンタクトと、

前記第 1 のコンタクトと列方向に隣接して配置され、前記磁気記憶部と結合される第 2 のコンタクトとを有し、

各前記メモリセル行ごとに、前記第 1 および第 2 のコンタクトは互いに反転するように配置され、

隣接する前記メモリセル列間において、前記メモリセル同士は、 $1/2$  ビッチずつずらして配置され、

各前記ライトワード線は、各前記ビット線よりも上層に形成される、薄膜磁性体記憶装置。

【請求項 17】 行列状に配置された複数のメモリセルと、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、前記データ読出時および前記データ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備え、

各前記メモリセルは、

記憶データに応じて電気抵抗値が変化する磁気記憶部と、

対応する前記ビット線と第 1 の電圧との間に、前記磁気記憶部と直列に結合されるアクセストランジスタとを含み、

前記アクセストランジスタは、

対応する前記リードワード線と結合されるゲートと、

前記第 1 の電圧と結合される第 1 のコンタクトと、

前記第 1 のコンタクトと列方向に隣接して配置され、前記磁気記憶部と結合される第 2 のコンタクトとを有し、

各前記メモリセル行ごとに、前記第 1 および第 2 のコンタクトの配置は反転し、

隣接する前記メモリセル列間において、前記メモリセル同士は、 $1/4$  ビッチ



ずつずらして配置され、

各前記ライトワード線は、各前記ビット線よりも上層に形成される、薄膜磁性体記憶装置。

【請求項 1 8】 行列状に配置された複数のメモリセルと、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、前記データ読出時および前記データ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備え、

各前記メモリセルは、

記憶データに応じて電気抵抗値が変化する磁気記憶部と、

対応する前記ビット線と第 1 の電圧との間に、前記磁気記憶部と直列に結合されるアクセストランジスタを含み、

前記アクセストランジスタは、

対応する前記リードワード線と結合されるゲートと、

前記第 1 の電圧と結合される第 1 のコンタクトと、

前記第 1 のコンタクトと列方向に隣接して配置され、前記磁気記憶部と結合される第 2 のコンタクトとを有し、

各前記メモリセル行ごとに、前記第 1 および第 2 のコンタクトの配置は同様に繰り返され、

隣接する前記メモリセル列間において、前記第 1 および第 2 のコンタクトは互いに反転するように配置され、

各前記ライトワード線は、各前記ビット線よりも上層に配置される、薄膜磁性体記憶装置。

【請求項 1 9】 行列状に配置された複数のメモリセルと、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、前記データ読出時および前記データ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備え、

各前記メモリセルは、

記憶データに応じて電気抵抗値が変化する磁気記憶部と、

対応する前記ビット線と第 1 の電圧との間に、前記磁気記憶部と直列に結合されるアクセストランジスタとを含み、

前記アクセストランジスタは、

対応する前記リードワード線と結合されるゲートと、

前記第 1 の電圧と結合される第 1 のコンタクトと、

前記第 1 のコンタクトと列方向に隣接して配置され、前記磁気記憶部と結合される第 2 のコンタクトとを有し、

各前記メモリセル行ごとに、前記第 1 および第 2 のコンタクトの配置は同様に繰り返され、

隣接する前記メモリセル列間において、前記メモリセル同士は、 $1/2$  ピッチずつずらして配置される、薄膜磁性体記憶装置。

【請求項 20】 行列状に配置された複数のメモリセルと、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、前記データ読出時および前記データ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備え、

各前記メモリセルは、

記憶データに応じて電気抵抗値が変化する磁気記憶部と、

対応する前記ビット線と第 1 の電圧との間に、前記磁気記憶部と直列に結合さ

れるアクセストランジスタを含み、

前記アクセストランジスタは、

対応する前記リードワード線と結合されるゲートと、

前記第 1 の電圧と結合される第 1 のコンタクトと、

前記第 1 のコンタクトと列方向に隣接して配置され、前記磁気記憶部と結合される第 2 のコンタクトとを有し、

各前記メモリセル行ごとに、前記第 1 および第 2 のコンタクトは互いに反転するように配置され、

隣接する前記メモリセル列間において、前記第 1 および第 2 のコンタクトは互いに反転するように配置され、

各前記ライトワード線は、各前記ビット線よりも上層に配置される、薄膜磁性体記憶装置。

【請求項 2 1】 各前記ライトワード線は、同一の前記リードワード線と対応する 2 個の前記磁気記憶部を覆うように、各前記ビット線のよりも広い配線幅を確保して配置される、請求項 1 8 または 2 0 に記載の薄膜磁性体記憶装置。

【請求項 2 2】 行列状に配置された複数のメモリセルと、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、前記データ読出時および前記データ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備え、

各前記メモリセルは、

記憶データに応じて電気抵抗値が変化する磁気記憶部と、

対応する前記ビット線と第 1 の電圧との間に、前記磁気記憶部と直列に結合されるアクセストランジスタを含み、

前記アクセストランジスタは、

対応する前記リードワード線と結合されるゲートと、

前記第 1 の電圧と結合される第 1 のコンタクトと、

前記第 1 のコンタクトと列方向に隣接して配置され、前記磁気記憶部と結合される第 2 のコンタクトとを有し、

各前記メモリセル行ごとに、前記第 1 および第 2 のコンタクトは互いに反転するように配置され、

隣接する前記メモリセル列間において、前記第 1 および第 2 のコンタクトは互いに反転するように配置され、

隣接する前記メモリセル列間において、前記メモリセル同士は、1/4 ビッチずつずらして配置される、

各前記ライトワード線は、各前記ビット線よりも上層に配置される、薄膜磁性体記憶装置。

【請求項 2 3】 行列状に配置された複数のメモリセルと、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、

前記複数のメモリセルの行にそれぞれ対応して配置され、前記データ読出時および前記データ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備え、

各前記メモリセルは、

記憶データに応じて電気抵抗値が変化する磁気記憶部と、

対応する前記ビット線と第 1 の電圧との間に、前記磁気記憶部と直列に結合されるアクセストランジスタとを含み、

前記アクセストランジスタは、

対応する前記リードワード線と結合されるゲートと、

前記第 1 の電圧と結合される第 1 のコンタクトと、

前記第 1 のコンタクトと列方向に隣接して配置され、前記磁気記憶部と結合される第 2 のコンタクトとを有し、

前記第 1 のコンタクトは、1 個の配置単位を構成する列方向に隣接する 2 個の

前記メモリセルごとに共有され、

各前記ライトワード線は、各前記ビット線よりも上層に配置される、薄膜磁性体記憶装置。

【請求項 2 4】 各前記メモリセル列において、前記第 1 および第 2 のコンタクトの各々は、前記配置単位の区分にかかわらず一定間隔で配置される、請求項 2 3 記載の薄膜磁性体記憶装置。

【請求項 2 5】 隣接する前記メモリセル列間において、前記配置単位同士は、 $1/2$  ピッチずつずらして配置される、請求項 2 3 または 2 4 記載の薄膜磁性体記憶装置。

【請求項 2 6】 隣接する前記メモリセル列間において、前記配置単位同士は、 $1/4$  ピッチずつずらして配置される、請求項 2 3 または 2 4 記載の薄膜磁性体記憶装置。

【請求項 2 7】 各前記ライトワード線は、各前記ビット線のよりも広い配線幅を確保して配置される、請求項 2 3 から 2 6 のいずれか 1 項に記載の薄膜磁性体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、薄膜磁性体記憶装置に関し、より特定的には、磁気トンネル接合 (MTJ : Magnetic Tunneling Junction) を有するメモリセルを備えたランダムアクセスメモリに関する。

【0 0 0 2】

【従来の技術】

低消費電力で不揮発的なデータの記憶が可能な記憶装置として、MRAM (Magnetic Random Memory) デバイスが注目されている。MRAM デバイスは、半導体集積回路に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行い、薄膜磁性体の各々に対してランダムアクセスが可能な記憶装置である。

【0 0 0 3】

特に、近年では磁気トンネル接合 (MTJ : Magnetic Tunnel Junction) を利

用した薄膜磁性体をメモリセルとして用いることによって、MRAMデバイスの性能が飛躍的に進歩することが発表されている。磁気トンネル接合を有するメモリセルを備えたMRAMデバイスについては、“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”, ISSCC Digest of Technical Papers, TA7.2, Feb. 2000.および“Nonvolatile RAM based on Magnetic Tunnel Junction Elements”, ISSCC Digest of Technical Papers, TA7.3, Feb. 2000.等の技術文献に開示されている。

【0004】

図50は、磁気トンネル接合を有するメモリセル（以下単にMTJメモリセルとも称する）の構成を示す概略図である。

【0005】

図50を参照して、MTJメモリセルは、記憶データのデータレベルに応じて電気抵抗値が変化するトンネル磁気抵抗素子TMRと、アクセストランジスタATRとを備える。アクセストランジスタATRは、電界効果トランジスタで形成され、トンネル磁気抵抗素子TMRと接地電圧 $V_{ss}$ との間に結合される。

【0006】

MTJメモリセルに対しては、データ書込を指示するためのライトワード線WLと、データ読出を指示するためのリードワード線RWLと、データ読出時およびデータ書込時において記憶データのレベルに対応した電気信号を伝達するためのデータ線であるビット線BLとが配置される。

【0007】

図51は、MTJメモリセルからのデータ読出動作を説明する概念図である。

図51を参照して、トンネル磁気抵抗素子TMRは、一定方向の固定磁界を有する磁性体層（以下、単に固定磁気層とも称する）FLと、自由磁界を有する磁性体層（以下、単に自由磁気層とも称する）VLとを有する。固定磁気層FLおよび自由磁気層VLとの間には、絶縁体膜で形成されるトンネルバリアTBが配置される。自由磁気層VLにおいては、記憶データのレベルに応じて、固定磁気層FLと同一方向の磁界および固定磁気層FLと異なる方向の磁界のいずれか一方が不揮発的に書込まれている。

【 0 0 0 8 】

データ読出しにおいては、アクセストランジスタ A T R がリードワード線 R W L の活性化に応じてターンオンされる。これにより、ビット線 B L ~ トンネル磁気抵抗素子 T M R ~ アクセストランジスタ A T R ~ 接地電圧  $V_{ss}$  の電流経路に、図示しない制御回路から一定電流として供給されるセンス電流  $I_s$  が流れる。

【 0 0 0 9 】

トンネル磁気抵抗素子 T M R の電気抵抗値は、固定磁気層 F L と自由磁気層 V L との間の磁界方向の相対関係に応じて変化する。具体的には、固定磁気層 F L の磁界方向と自由磁気層 V L に書込まれた磁界方向とが同一である場合には、両者の磁界方向が異なる場合に比べてトンネル磁気抵抗素子 T M R の電気抵抗値は小さくなる。以下、本明細書においては、記憶データの“1”および“0”にそれぞれ対応するトンネル磁気抵抗素子素子の電気抵抗値を  $R_h$  および  $R_l$  でそれぞれ示すこととする。ただし、 $R_h > R_l$  であるものとする。

【 0 0 1 0 】

このように、トンネル磁気抵抗素子 T M R は、外部から印加された磁界に応じてその電気抵抗値が変化する。したがって、トンネル磁気抵抗素子 T M R の有する電気抵抗値の変化特性に基づいて、データ記憶を実行することができる。

【 0 0 1 1 】

センス電流  $I_s$  によってトンネル磁気抵抗素子 T M R で生じる電圧変化は、自由磁気層 V L に記憶された磁界方向に応じて異なる。これにより、ビット線 B L を一旦高電圧にプリチャージした状態とした後にセンス電流  $I_s$  の供給を開始すれば、ビット線 B L の電圧レベル変化の監視によって M T J メモリセルの記憶データのレベルを読み出すことができる。

【 0 0 1 2 】

図 5 2 は、M T J メモリセルに対するデータ書込動作を説明する概念図である。

【 0 0 1 3 】

図 5 2 を参照して、データ書込時においては、リードワード線 R W L は非活性化され、アクセストランジスタ A T R はターンオフされる。この状態で、自由磁

気層V<sub>L</sub>に磁界を書込むためのデータ書込電流がライトワード線WWLおよびビット線B<sub>L</sub>にそれぞれ流される。自由磁気層V<sub>L</sub>の磁界方向は、ライトワード線WWLおよびビット線B<sub>L</sub>をそれぞれ流れるデータ書込電流の向きの組合せによって決定される。

【0014】

図53は、データ書込時におけるデータ書込電流の方向と磁界方向との関係を説明する概念図である。

【0015】

図53を参照して、横軸で示される磁界H<sub>x</sub>は、ビット線B<sub>L</sub>を流れるデータ書込電流によって生じる磁界H(B<sub>L</sub>)の方向を示すものとする。一方、縦軸で示される磁界H<sub>y</sub>は、ライトワード線WWLを流れるデータ書込電流によって生じる磁界H(WWL)の方向を示すものとする。

【0016】

自由磁気層V<sub>L</sub>に記憶される磁界方向は、磁界H(B<sub>L</sub>)とH(WWL)との和が図中に示されるアステロイド特性線の外側の領域に達する場合においてのみ、新たに書込まれる。すなわち、アステロイド特性線の内側の領域に相当する磁界が印加された場合においては、自由磁気層V<sub>L</sub>に記憶される磁界方向は更新されない。

【0017】

したがって、トンネル磁気抵抗素子TMRの記憶データを書込動作によって更新するためには、ライトワード線WWLとビット線B<sub>L</sub>との両方に電流を流す必要がある。トンネル磁気抵抗素子TMRに一旦記憶された磁界方向すなわち記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。

【0018】

データ読出動作時においても、ビット線B<sub>L</sub>にはセンス電流I<sub>s</sub>が流れる。しかし、センス電流I<sub>s</sub>は一般的に、上述したデータ書込電流よりは1～2桁程度小さくなるように設定されるので、センス電流I<sub>s</sub>の影響によりデータ読出時においてMTJメモリの記憶データが誤って書換えられる可能性は小さい。

【0019】



## 【発明が解決しようとする課題】

しかしながら、各MTJメモリセルを構成する磁性体層の磁化特性は、メモリセル特性に大きな影響を与える。特に、磁性体の端部効果等によって、データ記憶のための磁化方向の変化が現れ難くなったトンネル磁気抵抗素子TMRにおいては、データ書込に必要な印加磁界が大きくなって、データ書込電流の増加に伴う消費電力増大や磁気ノイズ増加といった悪影響が生じる。さらに、磁化方向の変化が現れ難くなると、記憶データレベルに応じた電気抵抗値の変化量も小さくなるので、データ読出における信号マージンの低下を招く。

## 【0020】

また、トンネル磁気抵抗素子を用いたMRAMデバイスにおいては、その構造からメモリセルサイズの縮小が難しい。特に、データ読出時の信号マージンの向上に効果があり、ダイナミック・ランダム・アクセス・メモリ(DRAM)等に一般的に適用される折返し型ビット線構成の実現が難しくなる。

## 【0021】

さらに、折返し型ビット線構成においては、ビット線対を構成する相補ビット線の一方および他方は、データ読出対象となるメモリセルおよび読出参照電圧とそれぞれ結合されて、相補ビット線間の電圧差を増幅することによって信号マージンの高いデータ読出が実行される。したがって、読出参照電圧は、トンネル磁気抵抗素子における上述の電気抵抗値 $R_h$ および $R_l$ を考慮して設定される必要がある。しかし、製造時ばらつきに対応して、読出参照電圧を正確に設定することは困難である。

## 【0022】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、一様な磁化特性を有するトンネル磁気抵抗素子を用いた各メモリセルが構成された薄膜磁性体記憶装置を提供することである。

## 【0023】

この発明の他の目的は、高集積化に適したメモリセル配置、特に折り返し型ビット線構成に適したメモリセル配置を有する薄膜磁性体記憶装置を提供することである。

【 0 0 2 4 】

この発明のさらに他の目的は、製造時ばらつきに対応して、データ読出時における高い信号マージンを確保可能な薄膜磁性体記憶装置を提供することである。

【 0 0 2 5 】

【課題を解決するための手段】

請求項 1 記載の薄膜磁性体記憶装置は、半導体基板上に形成される薄膜磁性体記憶装置であって、データ記憶を実行するための複数のメモリセルを備え、各メモリセルは、導通時にデータ読出電流の経路を形成するためのアクセス素子と、アクセス素子と直列に結合されて、記憶データに応じて電気抵抗値が変化する磁気記憶部とを含む。磁気記憶部は、半導体基板上に形成され、固定の磁化方向を有する第 1 の磁性体層と、半導体基板上に形成され、外部からの印加磁界に応じて磁化方向が変化する第 2 の磁性体層と、第 1 および第 2 の磁性体層の間に形成される絶縁膜とを含む。磁気記憶部は、第 2 の磁性体層の平面方向の一部の所定領域を用いて形成される。

【 0 0 2 6 】

請求項 2 記載の薄膜磁性体記憶装置は、請求項 1 記載の薄膜磁性体記憶装置であって、所定領域は、磁化容易軸方向の磁界が印加された場合における磁化特性を考慮して定められる。

【 0 0 2 7 】

請求項 3 記載の薄膜磁性体記憶装置は、請求項 2 記載の薄膜磁性体記憶装置であって、磁気記憶部に対応する領域においては、第 1 および第 2 の磁性体層の間の距離は、その他の領域よりも小さい。

【 0 0 2 8 】

請求項 4 記載の薄膜磁性体記憶装置は、請求項 1 記載の薄膜磁性体記憶装置であって、絶縁膜は、第 1 および第 2 の磁性体層の両方が高さ方向に重なって形成される領域の少なくとも一部に形成される。

【 0 0 2 9 】

請求項 5 記載の薄膜磁性体記憶装置は、請求項 1 から 4 のいずれかに 1 項に記載の薄膜磁性体記憶装置であって、第 1 および第 2 の磁性体層の少なくとも一方

は、複数個のメモリセルに対して共通に用いられる。

【 0 0 3 0 】

請求項 6 記載の薄膜磁性体記憶装置は、請求項 1 記載の薄膜磁性体記憶装置であって、第 2 の磁性体層は、各メモリセルにおいて、磁化容易軸方向が印加磁界と一致するような平面形状を有する。

【 0 0 3 1 】

請求項 7 記載の薄膜磁性体記憶装置は、請求項 1 から 6 のいずれかに 1 項に記載の薄膜磁性体記憶装置であって、アクセス素子は、半導体基板上に形成される電界効果型トランジスタである。

【 0 0 3 2 】

請求項 8 記載の薄膜磁性体記憶装置は、請求項 1 から 6 のいずれかに 1 項に記載の薄膜磁性体記憶装置であって、アクセス素子は、半導体記憶基板上に形成されるダイオードである。

【 0 0 3 3 】

請求項 9 記載の薄膜磁性体記憶装置は、記憶データのレベルに応じて電気抵抗値が変化するメモリセルと、読出参照電圧を生成するためのダミーメモリセルとを備え、ダミーメモリセルは、各々がメモリセル同様の構成を有する複数のセルユニットを含み、複数のセルユニットのうちの少なくとも 1 個ずつは、異なるレベルの記憶データを保持し、データ読出時において、複数のメモリセルのうちの選択された 1 個と接続される第 1 のデータ線と、ダミーメモリセルと接続される第 2 のデータ線と、第 1 および第 2 のデータ線の電圧差を検知するためのデータ読出回路とを備える。

【 0 0 3 4 】

請求項 1 0 記載の薄膜磁性体記憶装置は、請求項 9 記載の薄膜磁性体記憶装置であって、ダミーメモリセルは、データ読出時において、第 2 のデータ線に対して並列に接続される 2 個のセルユニットを含み、2 個のセルユニットは、異なるレベルの記憶データをそれぞれ保持する。

【 0 0 3 5 】

請求項 1 1 記載の薄膜磁性体記憶装置は、請求項 9 記載の薄膜磁性体記憶装置

であって、ダミーメモリセルは、データ読出時において、第2のデータ線に対して直列に接続される2個のセルユニットを含み、2個のセルユニットは、異なるレベルの記憶データをそれぞれ保持する。

【0036】

請求項12記載の薄膜磁性体記憶装置は、請求項11記載の薄膜磁性体記憶装置であって、メモリセルおよびセルユニットの各々は、データ書込磁界の方向に応じたレベルの記憶データを書込まれ、同一方向に沿って配置される2本のビット線から構成されるビット線対をさらに備え、データ書込時において、2本のビット線は、互いに逆方向のデータ書込電流を流すために一端同士が結合され、2個のセルユニットは、2本のビット線をそれぞれ流れるデータ書込電流によって生じる、互いに反対方向のデータ書込磁界によって記憶データが書込まれる。

【0037】

請求項13記載の薄膜磁性体記憶装置は、請求項9記載の薄膜磁性体記憶装置であって、複数のメモリセルは、メモリアレイ上に行列状に配置され、

ダミーメモリセルは、メモリアレイ上において、行方向に沿って余分に配置されたメモリセルをセルユニットとして用いることによって、メモリセルの各列に対応して配置される。

【0038】

請求項14記載の薄膜磁性体記憶装置は、請求項9記載の薄膜磁性体記憶装置であって、複数のメモリセルは、メモリアレイ上に行列状に配置され、

ダミーメモリセルは、メモリアレイ上において、列方向に沿って余分に配置されたメモリセルをセルユニットとして用いることによって、メモリセルの各行に対応して配置される。

【0039】

請求項15記載の薄膜磁性体記憶装置は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時および

データ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備える。各メモリセルは、記憶データに応じて電気抵抗値が変化する磁気記憶部と、対応するビット線と第1の電圧との間に、磁気記憶部と直列に結合されるアクセストランジスタとを含み、アクセストランジスタは、対応するリードワード線と結合されるゲートと、第1の電圧と結合される第1のコンタクトと、第1のコンタクトと列方向に隣接して配置され、磁気記憶部と結合される第2のコンタクトとを有し、各メモリセル行において、第1および第2のコンタクトの配置は同様に繰り返され、隣接するメモリセル列間において、メモリセル同士は、1/2ピッチずつずらして配置され、各ライトワード線は、各ビット線よりも上層に形成される。

## 【0040】

請求項16記載の薄膜磁性体記憶装置は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時およびデータ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備える。各メモリセルは、記憶データに応じて電気抵抗値が変化する磁気記憶部と、対応するビット線と第1の電圧との間に、磁気記憶部と直列に結合されるアクセストランジスタとを含み、アクセストランジスタは、対応するリードワード線と結合されるゲートと、第1の電圧と結合される第1のコンタクトと、第1のコンタクトと列方向に隣接して配置され、磁気記憶部と結合される第2のコンタクトとを有し、各メモリセル行ごとに、第1および第2のコンタクトは互いに反転するように配置され、隣接するメモリセル列間において、メモリセル同士は、1/2ピッチずつずらして配置され、各ライトワード線は、各ビット線よりも上層に形成される。

## 【0041】

請求項17記載の薄膜磁性体記憶装置は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選

択を実施するための複数のリードワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時およびデータ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備える。各メモリセルは、記憶データに応じて電気抵抗値が変化する磁気記憶部と、対応するビット線と第1の電圧との間に、磁気記憶部と直列に結合されるアクセストランジスタとを含み、アクセストランジスタは、対応するリードワード線と結合されるゲートと、第1の電圧と結合される第1のコンタクトと、第1のコンタクトと列方向に隣接して配置され、磁気記憶部と結合される第2のコンタクトとを有し、各メモリセル行ごとに、第1および第2のコンタクトの配置は反転し、隣接するメモリセル列間において、メモリセル同士は、 $1/4$ ピッチずつずらして配置され、各ライトワード線は、各ビット線よりも上層に形成される。

【 0 0 4 2 】

請求項18記載の薄膜磁性体記憶装置は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時およびデータ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備える。各メモリセルは、記憶データに応じて電気抵抗値が変化する磁気記憶部と、対応するビット線と第1の電圧との間に、磁気記憶部と直列に結合されるアクセストランジスタとを含み、アクセストランジスタは、対応するリードワード線と結合されるゲートと、第1の電圧と結合される第1のコンタクトと、第1のコンタクトと列方向に隣接して配置され、磁気記憶部と結合される第2のコンタクトとを有し、各メモリセル行ごとに、第1および第2のコンタクトの配置は同様に繰り返され、隣接するメモリセル列間において、第1および第2のコンタクトは互いに反転するように配置され、各ライトワード線は、各ビット線よりも上層に配置される。

【 0 0 4 3 】

請求項 1 9 記載の薄膜磁性体記憶装置は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時およびデータ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備える。各メモリセルは、記憶データに応じて電気抵抗値が変化する磁気記憶部と、対応するビット線と第 1 の電圧との間に、磁気記憶部と直列に結合されるアクセストランジスタとを含み、アクセストランジスタは、対応するリードワード線と結合されるゲートと、第 1 の電圧と結合される第 1 のコンタクトと、第 1 のコンタクトと列方向に隣接して配置され、磁気記憶部と結合される第 2 のコンタクトとを有し、各メモリセル行ごとに、第 1 および第 2 のコンタクトの配置は同様に繰り返され、隣接するメモリセル列間において、メモリセル同士は、 $1/2$  ピッチずつずらして配置される。

【 0 0 4 4 】

請求項 2 0 記載の薄膜磁性体記憶装置は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時およびデータ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備える。各メモリセルは、記憶データに応じて電気抵抗値が変化する磁気記憶部と、対応するビット線と第 1 の電圧との間に、磁気記憶部と直列に結合されるアクセストランジスタとを含み、アクセストランジスタは、対応するリードワード線と結合されるゲートと、第 1 の電圧と結合される第 1 のコンタクトと、第 1 のコンタクトと列方向に隣接して配置され、磁気記憶部と結合される第 2 のコンタクトとを有し、各メモリセル行ごとに、第 1 および第 2 のコンタクトは互いに反転するように配置され、隣接するメモリセル列

間において、第 1 および第 2 のコンタクトは互いに反転するように配置され、各ライトワード線は、各ビット線よりも上層に配置される。

## 【 0 0 4 5 】

請求項 2 1 記載の薄膜磁性体記憶装置は、請求項 1 8 または 2 0 に記載の薄膜磁性体記憶装置であって、各ライトワード線は、同一のリードワード線と対応する 2 個の磁気記憶部を覆うように、各ビット線のよりも広い配線幅を確保して配置される。

## 【 0 0 4 6 】

請求項 2 2 記載の薄膜磁性体記憶装置は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時およびデータ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通過させるための複数のビット線とを備える。各メモリセルは、記憶データに応じて電気抵抗値が変化する磁気記憶部と、対応するビット線と第 1 の電圧との間に、磁気記憶部と直列に結合されるアクセストランジスタを含み、アクセストランジスタは、対応するリードワード線と結合されるゲートと、第 1 の電圧と結合される第 1 のコンタクトと、第 1 のコンタクトと列方向に隣接して配置され、磁気記憶部と結合される第 2 のコンタクトとを有し、各メモリセル行ごとに、第 1 および第 2 のコンタクトは互いに反転するように配置され、隣接するメモリセル列間において、第 1 および第 2 のコンタクトは互いに反転するように配置され、隣接するメモリセル列間において、メモリセル同士は、 $1/4$  ピッチずつずらして配置され、各ライトワード線は、各ビット線よりも上層に配置される。

## 【 0 0 4 7 】

請求項 2 3 記載の薄膜磁性体記憶装置は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時に行選択を実施するための複数のリードワード線と、複数のメモリセルの行にそれぞれ対応して配置され、データ書込時に行選択を実施するための複数のライトワード



線と、複数のメモリセルの行にそれぞれ対応して配置され、データ読出時およびデータ書込時のそれぞれにおいて、データ書込電流およびデータ読出電流を通してさせるための複数のビット線とを備える。各メモリセルは、記憶データに応じて電気抵抗値が変化する磁気記憶部と、対応するビット線と第1の電圧との間に、磁気記憶部と直列に結合されるアクセストランジスタを含み、アクセストランジスタは、対応するリードワード線と結合されるゲートと、第1の電圧と結合される第1のコンタクトと、第1のコンタクトと列方向に隣接して配置され、磁気記憶部と結合される第2のコンタクトとを有し、第1のコンタクトは、1個の配置単位を構成する列方向に隣接する2個のメモリセルごとに共有され、各ライトワード線は、各ビット線よりも上層に配置される。

【0048】

請求項24記載の薄膜磁性体記憶装置は、請求項23記載の薄膜磁性体記憶装置であって、各メモリセル列において、第1および第2のコンタクトの各々は、配置単位の区分にかかわらず一定間隔で配置される。

【0049】

請求項25記載の薄膜磁性体記憶装置は、請求項23または24記載の薄膜磁性体記憶装置であって、隣接するメモリセル列間において、配置単位同士は、1/2ピッチずつずらして配置される。

【0050】

請求項26記載の薄膜磁性体記憶装置は、請求項23または24記載の薄膜磁性体記憶装置であって、隣接するメモリセル列間において、配置単位同士は、1/4ピッチずつずらして配置される。

【0051】

請求項27記載の薄膜磁性体記憶装置は、請求項23から26のいずれか1項に記載の薄膜磁性体記憶装置であって、各ライトワード線は、各ビット線のよりも広い配線幅を確保して配置される。

【0052】

#### 【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳細に説明する。

なお、図中における同一符号は同一または相当部分を示すものとする。

【0053】

〔実施の形態1〕

図1は、本発明の実施の形態に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【0054】

図1を参照して、MRAMデバイス1は、外部からの制御信号CMDおよびアドレス信号ADDに応答してランダムアクセスを行ない、書込データDINの入力および読出データDOUTの出力を実行する。

【0055】

MRAMデバイス1は、制御信号CMDに응答してMRAMデバイス1の全体動作を制御するコントロール回路5と、行列状に配置された複数のMTJメモリセルを有するメモリアレイ10とを備える。

【0056】

図2は、図1に示されるメモリアレイ10の構成を示す概念図である。

図2を参照して、メモリアレイ10は、 $n$ 行 $\times$  $m$ 列( $n, m$ :自然数)に配置された複数のMTJメモリセルMCを含む。以下においては、MTJメモリセルを単に「メモリセル」とも称する。各メモリセルMCは、図50と同様の構成を有し、トンネル磁気抵抗素子TMRおよびアクセストランジスタATRを有する。半導体基板上に、メモリセルを行列状に配置することによって、高集積化されたMRAMデバイスを実現することができる。

【0057】

各メモリセルMCに対して、ビット線BL、ライトワード線WWLおよびリードワード線RWLが配置される。メモリセルの行にそれぞれ対応して複数のライトワード線WWLおよびリードワード線RWLが配置され、メモリセルの列にそれぞれ対応して複数のビット線BLが配置される。したがって、行列状に配置された $n \times m$ 個のメモリセルに対して、 $n$ 本のライトワード線WWL1~WWLnおよびリードワード線RWL1~RWLnと、 $m$ 本のビット線BL1~BLmとが設けられる。

【0058】

再び図1を参照して、MRAMデバイス1は、さらに、アドレス信号ADDによって示されるロウアドレスRAに応じてメモリアレイ10における行選択を実行する行デコーダ20と、アドレス信号ADDによって示されるコラムアドレスCAに応じてメモリアレイ10における列選択を実行する列デコーダ25と、行デコーダ20の行選択結果に基づいてリードワード線RWLおよびライトワード線WWLを選択的に活性化するためのワード線ドライバ30と、データ書込時においてライトワード線WWLにデータ書込電流を流すためのワード線電流制御回路40と、データ読出およびデータ書込時において、データ書込電流 $I_w$ およびセンス電流 $I_s$ を流すための読出/書込制御回路50、60とを備える。

【0059】

図3は、メモリセル中のトンネル磁気抵抗素子の構成を示す断面図である。

図3を参照して、トンネル磁気抵抗素子TMRは、反強磁性体層101と、反強磁性体層101上に形成される、一定方向の固定磁界を有する固定磁気層102の一部領域と、印加磁界によって磁化される自由磁気層103と、固定磁気層102および自由磁気層103の間に形成される絶縁体膜であるトンネルバリア104と、コンタクト電極105とを含む。

【0060】

反強磁性体層101、固定磁気層102および自由磁気層103は、FeMn、NiFe等の適当な磁性材料によって形成される。トンネルバリア104は、 $Al_2O_3$ 等によって形成される。

【0061】

トンネル磁気抵抗素子TMRは、必要に応じて配置される、金属配線と電氣的に結合するための緩衝材であるバリアメタル106を介して上部配線と電氣的に結合される。コンタクト電極105は、下部配線（図示せず）と電氣的に結合される。たとえば、上部配線はビット線BLに相当し、下部配線は、アクセスストランジスタATRと結合される金属配線に相当する。

【0062】

このようにして、上部配線および下部配線の間に、磁気トンネル接合を有する

トンネル磁気抵抗素子 TMR を電氣的に結合することができる。

【 0 0 6 3 】

図 4 は、トンネル磁気抵抗素子中の自由磁気層における磁化方向を示す概念図である。図 4 には、一例として、トンネル磁気抵抗素子 TMR が長方形形状で設けられた場合における自由磁気層 1 0 3 の平面図が示される。

【 0 0 6 4 】

図 4 を参照して、長方形形状の自由磁気層 1 0 3 においては、長さ方向（図 4 における左右方向）に磁化容易軸（E A : Easy Axis）が形成され、幅方向（図 4 における上下方向）に磁化困難軸（H A : Hard Axis）が形成される。これに応じて、中央部付近の磁化容易軸領域 1 1 0 においては、磁化容易軸方向に印加された外部磁界にตอบสนองして、磁化方向が容易に反転する。一方、左右端の磁化困難軸領域 1 1 2, 1 1 4 においては、磁化容易軸方向の外部磁界が印加されても、磁化方向は容易に反転しない。

【 0 0 6 5 】

図 5 および図 6 には、磁化容易軸領域および磁化困難軸領域のそれぞれにおける磁化特性を説明するためのヒステリシス曲線が示される。

【 0 0 6 6 】

図 5 を参照して、磁化容易軸領域 1 1 0 は、磁化容易軸方向の所定磁界 + H c よりも大きい + 方向の磁界が印加された場合に + M c に磁化され、所定磁界 - H c よりも大きい - 方向の磁界が印加された場合に - M c に磁化される。したがって、- H c ~ + H c の範囲の所定レベル以下の磁界が印加される場合には磁化方向が変化せず、メモリセルとして望ましい特性を有する。

【 0 0 6 7 】

図 6 を参照して、磁化困難軸領域 1 1 2, 1 1 4 は、磁化容易軸方向の磁界にตอบสนองして容易に磁化されず、磁化の方向および量が徐々に変化する特性を有する。したがって、磁化困難軸領域は、磁化容易軸方向の磁界にตอบสนองして、磁化の方向および量が 2 値的に設定される磁化容易軸領域とは異なり、メモリセルとして望ましくない特性を有している。

【 0 0 6 8 】

この結果、磁化容易軸領域のような特性を有する領域を自由磁気層 1 0 3 として有するメモリセルにおいては、データ読出時において、記憶データレベルに対応する電気抵抗値の変化量を十分確保できず信号マージンの確保が困難になる。また、データ書込時において、磁化方向を十分に反転させるために必要な印加磁界が増大し、データ書込電流の増加を招く。この結果、消費電流の増大および磁気ノイズの増加といった問題点が生じてしまう。

【 0 0 6 9 】

図 7 は、実施の形態 1 に従うトンネル磁気抵抗素子の第 1 の構成例を示す概念図である。

【 0 0 7 0 】

図 7 を参照して、固定磁気層 1 0 2 と積層された自由磁気層 1 0 3 において、磁化容易軸領域に相当する領域が、トンネル接合領域 1 1 5 として用いられる。すなわち、メモリセルとして望ましくない特性を有する磁化困難軸領域は、トンネル磁気抵抗素子 TMR の構成部分としては、用いられない。

【 0 0 7 1 】

この結果、トンネル接合領域 1 1 5 に相当する磁化容易軸領域を流れる電流のみがデータ読出に用いられるので、記憶データレベルに対応する電気抵抗値の変化量を十分確保して、データ読出時の信号マージンを確保できる。また、データ書込時に必要なデータ書込電流を小さくして、消費電流および磁気ノイズを抑制できる。

【 0 0 7 2 】

図 8 には、図 7 における P-P' 断面図が示される。ここでは、図 8 を用いて、図 7 に示されるトンネル磁気抵抗素子 TMR の作製について説明する。

【 0 0 7 3 】

図 8 を参照して、半導体基板上に反強磁性体層 1 0 1 および固定磁気層 1 0 2 が所望のパターンに従って形成された後に、たとえば  $\text{SiO}_2$  の層間膜 1 0 7 が形成される。図示しないが、反強磁性体層 1 0 1 は、所定の下層配線（図示せず）を介して、アクセストランジスタと電気的に結合される。また、下部配線と電気的に結合されるコンタクト電極 1 0 5 が、トンネル接合領域 1 1 5 に対応する

領域をカバーするように配置される。

【0074】

層間膜107のトンネル接合部分に固定磁気層102に達する開口部を設けて、当該開口部にトンネルバリア104および自由磁気層103を所望の膜厚で形成し、さらに必要に応じてバリアメタル106を形成した後に、所望のパターニングを実行する。

【0075】

また、このようにして、層間膜107の上層に形成された金属配線である上層配線108および下層配線（図示せず）との間に電氣的に結合されるトンネル磁気抵抗素子TMRを作製することができる。

【0076】

なお、層間膜107に設けられた開口部にトンネルバリア104および自由磁気層103をパターンニングする代わりに、固定磁気層102上に形成された所定膜厚のトンネルバリア104および自由磁気層103について、トンネル接合以外の部分を化学的機械的研磨（CMP：Chemical-Mechanical Polishing）等を用いて除去して作製することも可能である。

【0077】

図9および図10は、実施の形態1に従うトンネル磁気抵抗素子の第2および第3の構成例をそれぞれ示す概念図である。

【0078】

図9および図10に示されるように、磁化容易領域に相当する、長手方向（図9および図10における左右方向）の一部領域全体を用いて、トンネル接合領域115を設ける構成とすることもできる。

【0079】

このような構成のうち、図9においては固定磁気層102および自由磁気層103が同一方向に沿って配置される構成が示されており、図9においては固定磁気層102および自由磁気層103が互いに交差するにそれぞれ沿って配置される構成が示されている。

【0080】

## 【実施の形態1の変形例1】

図11は、実施の形態1の変形例1に従うトンネル磁気抵抗素子の配置を示す概念図である。

## 【0081】

図11を参照して、実施の形態1の変形例1においては、大面積の固定磁気層102上に、分割された複数の自由磁気層103が配置される。自由磁気層103は、各メモリセルごとに分割配置される。反対に、固定磁気層102は、複数のメモリセル間で共有されるように配置される。

## 【0082】

各自由磁気層103において、図7と同様に、磁化容易軸領域に対応してトンネル接合領域115が配置される。なお、図示しないコンタクト電極を、トンネル接合領域115と同等、もしくはそれよりも狭い領域に配置することによって、データ読出時において、固定磁気層102中を流れるセンス電流（データ読出電流）経路における広がり抵抗分を無視することができる。

## 【0083】

このような配置とすることにより、各メモリセル中のトンネル磁気抵抗素子TMRを磁化容易軸領域に形成して、データ読出時の信号マージンを確保するとともに、データ書込時に必要なデータ書込電流を小さくして、消費電流および磁気ノイズを抑制できる。

## 【0084】

## 【実施の形態1の変形例2】

図12は、実施の形態1の変形例2に従うトンネル磁気抵抗素子の配置を示す概念図である。

## 【0085】

図12を参照して、実施の形態1の変形例2においては、複数のメモリセルに対して共通に、大面積の固定磁気層102および自由磁気層103が配置される。さらに、自由磁気層103中の磁化容易軸領域に相当する領域において、各メモリセルごとにトンネル接合領域115が設けられる。トンネル接合領域115にそれぞれ対応して、実施の形態1の変形例1と同様に、図示しないコンタクト

電極が配置される。

【0086】

行方向に互いに隣接する、同一行に属するメモリセル群に対して、ライトワード線WWLおよびリードワード線RWLが配置される。同様に、列方向に互いに隣接する、同一列に属するメモリセル群に対して、ビット線BLが配置される。図12においては、第1行～第3行および第1列～第3列にそれぞれ対応するライトワード線WWL1～WWL3、リードワード線RWL1～RWL3およびビット線BL1～BL3が代表的に示される。

【0087】

このような配置とすることにより、実施の形態1の変形例1と同様に、データ読出時における信号マージンを確保できる。

【0088】

また、自由磁気層103の形状は、十分な面積を確保するように設定されているので、自由磁気層103における磁化容易軸の方向が、形状からの幾何学的な制約を受けることがない。この結果、各メモリセルにおいて、ライトワード線WWLおよびビット線BLを流れるデータ書込電流によってそれぞれ生じるデータ書込磁界の合成磁界の方向と、磁化容易軸の方向とを一致させることができる。固定磁気層102における磁化方向は、当該合成磁界の方向と合致するように予め形成される。

【0089】

したがって、自由磁気層103における磁化方向の変化、すなわち記憶データの書込に必要なデータ書込磁界を、より小さいデータ書込電流によって発生できる。この結果、実施の形態1の変形例1よりも、さらに消費電流および磁気ノイズを抑制できる。

【0090】

〔実施の形態1の変形例3〕

図13は、実施の形態1の変形例3に従うトンネル磁気抵抗素子の配置を示す概念図である。

【0091】



図13を参照して、実施の形態1の変形例2においては、各メモリセル行ごとに分割して自由磁気層103が配置される点が、図12に示される実施の形態1の変形例2に従う配置と異なる。すなわち、複数のメモリセル行に対して共通に配置される大面積の固定磁気層102上に、メモリセル行にそれぞれ対応して設けられる帯状の複数の自由磁気層103が配置される。

【0092】

各自由磁気層103中の磁化容易軸領域に相当する領域において、各メモリセルごとにトンネル接合領域115が設けられる。トンネル接合領域115にそれぞれ対応して、実施の形態1の変形例1と同様に、図示しないコンタクト電極が配置される。

【0093】

このような配置とすることにより、各自由磁気層103における磁化容易軸の方向が幾何学的な制約を受けるため、データ書込電流は実施の形態1の変形例1と同様のレベルが必要となる一方で、各メモリセル行ごとに自由磁気層103を電氣的に独立に設けることができる。したがって、自由磁気層103において、異なるメモリセル行に属するメモリセル同士が電氣的に結合されている実施の形態1の変形例2に従う構成と比較して、データ書込およびデータ読出動作の安定化を図ることができる。

【0094】

〔実施の形態1の変形例4〕

実施の形態1およびその変形例1～3においては、アクセストランジスタATRをアクセス素子として有するメモリセルの構成を示したが、アクセス素子としてダイオードを用いた高集積化に適したメモリセルを適用することも可能である。

【0095】

図14は、ダイオードをアクセス素子として用いたMTJメモリセルの第1の構成例を示す回路図である。

【0096】

図14を参照して、ダイオードを用いたメモリセルMCDDは、トンネル磁気

抵抗素子TMRと、アクセスダイオードDMとを備える。アクセスダイオードDMは、トンネル磁気抵抗素子TMRからワード線WLに向かう方向を順方向として、両者の間に結合される。ビット線BLは、ワード線WLと交差する方向に設けられ、トンネル磁気抵抗素子TMRと結合される。

【0097】

メモリセルMCDDに対するデータ書込は、ワード線WLおよびビット線BLにデータ書込電流を流すことによって行なわれる。データ書込電流の方向は、アクセストランジスタを用いたメモリセルの場合と同様に、書込データのデータレベルに応じて設定される。

【0098】

一方、データ読出時においては、選択されたメモリセルに対応するワード線WLは、低電圧（たとえば接地電圧 $V_{ss}$ ）状態に設定される。このとき、ビット線BLを高電圧（たとえば電源電圧 $V_{cc}$ ）状態にプリチャージしておくことによって、アクセスダイオードDMが順バイアスされて導通し、センス電流 $I_s$ をトンネル磁気抵抗素子TMRに流すことができる。

【0099】

一方、非選択のメモリセルに対応するワード線WLは、高電圧状態に設定されるので、対応するアクセスダイオードDMは、逆バイアスされて非導通状態を維持し、センス電流 $I_s$ は流れない。

【0100】

このようにして、アクセスダイオードを用いたMTJメモリセルにおいても、データ読出およびデータ書込を実行することができる。

【0101】

図15は、ダイオードをアクセス素子として用いたMTJメモリセルの第2の構成例を示す回路図である。

【0102】

図15を参照して、ダイオードを用いたメモリセルMCDは、図14に示した構成と同様に、トンネル磁気抵抗素子TMRおよびアクセスダイオードDMを備える。MTJメモリセルMCDにおいては、リードワード線RWLとライトワー

ド線WWLとが分割して配置される点が、図14に示したメモリセルMCDDの構成と異なる。ビット線BLは、ライトワード線WWLおよびリードワード線RWLと交差する方向に配置され、磁気トンネル接合部MTJと電氣的に結合される。

【0103】

アクセスダイオードDMは、磁気トンネル接合部MTJからリードワード線RWLに向かう方向を順方向として、両者の間に結合される。ライトワード線WWLは、他の配線と接続されることなく、磁気トンネル接合部MTJと近接して設けられる。

【0104】

図14に示したメモリセルMCDDにおいては、データ書込時において、ワード線WLおよびビット線BLにはデータ書込電流が流れるため、これらの配線においてデータ書込電流による電圧降下がそれぞれ発生する。このような電圧降下が生じた結果、ワード線WLおよびビット線BL上における電圧分布によっては、データ書込の対象となっていないメモリセルの一部において、アクセスダイオードDMのPN接合がオンしてしまうおそれがある。この結果、予期しない電流がMTJメモリセルを流れることによって、誤ったデータ書込が実行されてしまうおそれがある。

【0105】

しかし、図15に示したメモリセルMCDにおいては、データ書込時において、リードワード線RWLに電流を流す必要がないため、リードワード線RWLの電圧を安定的に高電圧状態（電源電圧Vcc）に維持して、アクセスダイオードDMを確実に逆バイアスして非導通状態を維持できる。したがって、図14に示されたMTJメモリセルMCDDと比較して、データ書込動作の安定化を図ることができる。

【0106】

実施の形態1およびその変形例1～3において、図14および図15に示される高集積化に適したメモリセルを用いても、同様の効果を享受することができる。

【0107】

【実施の形態2】

実施の形態2においては、メモリアレイを高集積化するためのメモリセル配置について説明する。

【0108】

図16は、半導体基板上におけるMTJメモリセルの第1の構成例を示す構造図である。

【0109】

図16を参照して、半導体主基板120上のp型領域122にアクセストランジスタATRが形成される。アクセストランジスタATRは、n型領域であるソース/ドレイン領域123、124とゲート125とを有する。ソース/ドレイン領域123および124にそれぞれ対応して、ソース側コンタクト130sおよびドレイン側コンタクト130dが設けられる。

【0110】

ソース側コンタクト130sは、第1の金属配線層M1に形成されたソース線SLと結合される。ソース線SLは、データ読出時にセンス電流（データ読出電流）経路を形成するための接地電圧Vssを供給する。ライトワード線WWLには、第2の金属配線層M2に形成された金属配線が用いられる。また、ビット線BLは第3の金属配線層M3に設けられる。

【0111】

トンネル磁気抵抗素子TMRは、ライトワード線WWLが設けられる第2の金属配線層M2とビット線BLが設けられる第3の金属配線層M3との間に配置される。ドレイン側コンタクト130dは、コンタクトホールに形成された金属膜128と、第1および第2の金属配線層M1およびM2と、必要に応じて設けられるバリアメタル106とを介して、トンネル磁気抵抗素子TMRと電気的に結合される。

【0112】

MTJメモリセルにおいては、リードワード線RWLおよびライトワード線WWLは、それぞれ独立の配線として設けられる。リードワード線RWLは、アク

セストランジスタATRのゲート電圧を制御するために設けられるものであり、電流を積極的に流す必要はない。したがって、集積度を高める観点から、リードワード線RWLは、独立した金属配線層を新たに設けることなく、アクセストランジスタATRのゲート125と同一の配線層において、ポリシリコン層やポリサイド構造などを用いて形成される。

#### 【0113】

一方、ライトワード線WWLおよびビット線BLには、データ書込において、所定値以上の大きさの磁界を発生させるための比較的大きなデータ書込電流を流す必要があるため、金属配線を用いて形成される。

#### 【0114】

図17は、半導体基板上におけるMTJメモリセルの第2の構成例を示す構造図である。

#### 【0115】

図17を参照して、第2の構成例は、図16に示した第1の構成例と比較して、ソース側コンタクト130sに対応するソース/ドレイン領域123が直接接地電圧Vssと結合される点で異なる。たとえば、同一のメモリセル行に対応するアクセストランジスタのソース/ドレイン領域123同士を電氣的に結合して、これらに対して接地電圧Vssを供給すればよい。

#### 【0116】

これに伴って、図16におけるソース線SLは不要となり、ライトワード線WWLおよびビット線BLは、第1の金属配線層M1および第2の金属配線層M2にそれぞれ設けられる。また、リードワード線RWLは、図16と同様に、アクセストランジスタATRのゲート125と同一の配線層に形成される。

#### 【0117】

図18は、半導体基板上におけるMTJメモリセルの第3の構成例を示す構造図である。

#### 【0118】

図18を参照して、第3の構成例においては、図16に示した第1の構成例と比較して、ライトワード線WWLがビット線BLよりも上層に配置される点が異

なる。たとえば、ライトワード線WWLおよびビット線BLは、第3の金属配線層M3および第2の金属配線層M2にそれぞれ設けられる。アクセストラジスタATR、ソース線SLおよびリードワード線RWLの配置は、図16と同様であるので詳細な説明は繰り返さない。

#### 【0119】

このように、半導体基板上におけるMTJメモリセル配置は、ビット線BLがライトワード線WWLよりも上層に配置される場合（図16および図17）と、ライトワード線WWLがビット線BLよりも上層に配置される場合（図18）とに分類される。

#### 【0120】

図19は、実施の形態2に従うMTJメモリセルの第1の配置例を示す概念図である。

#### 【0121】

図19を参照して、符号140aで示す繰り返し単位は、1個のメモリセルMCと対応する。メモリアレイ10において、繰り返し単位140aが連続的に配置されて、メモリセルMCが行列状に配置される。メモリセルサイズは、設計基準を用いて $8F^2$ で表わされる。

#### 【0122】

図19には、第1行・第1列～第2行・第2列までのメモリセルMCおよび、これらのメモリセルに対応するリードワード線RWL1、RWL2、ライトワード線WWL1、WWL2およびビット線BL1、BL2が代表的に示される。

#### 【0123】

各メモリセルMCにおいて、ソース側コンタクト130sの上層にトンネル磁気抵抗素子TMRが配置され、さらに、トンネル磁気抵抗素子TMRとビット線BLとのコンタクト130bが配置される。また、図16から図18に示したように、トンネル磁気抵抗素子TMRは、ドレイン側コンタクト130dと結合されている。

#### 【0124】

ライトワード線WWLは、ドレイン側コンタクト130dと重ならないので、

トンネル磁気抵抗素子TMRと近接して、ビット線BLの上層または下層のいずれにも配置することができる。

# 【0125】

図20は、実施の形態2に従うMTJメモリセルの第2の配置例を示す概念図である。

# 【0126】

図20を参照して、同一行に属するメモリセルMCにおいては、ソース側コンタクト130sおよびドレイン側コンタクト130dは、同一側にそれぞれ配置される。一方、1行ごとに、ソース側コンタクト130sおよびドレイン側コンタクト130dは、反転して配置される。このような配置を「ロウ・ストライプ反転配置」とも称する。したがって、ロウ・ストライプ反転配置においては、列方向に隣接する2個のメモリセルによって、1個の繰り返し単位140bが構成される。メモリアレイ10全体において、繰り返し単位140bが連続的に配置されて、メモリセルMCが行列状に配置される。メモリセルサイズは、図19と同様に $8F^2$ で示される。

# 【0127】

図20には、第1行・第1列～第2行・第2列までのメモリセルMCおよび、これらのメモリセルに対応するリードワード線RWL1、RWL2、ライトワード線WWL1、WWL2およびビット線BL1、BL2が代表的に示される。

# 【0128】

各メモリセルMCにおける、トンネル磁気抵抗素子TMR、ビット線BLおよびコンタクト130bの配置は、図19と同様であるので詳細な説明は繰り返さない。

# 【0129】

図20の構成においても、ライトワード線WWLは、トンネル磁気抵抗素子TMRと近接して、ビット線BLの上層または下層のいずれにも配置することができる。

# 【0130】

図21は、実施の形態2に従うMTJメモリセルの第3の配置例を示す概念図

である。

【0131】

図21を参照して、実施の形態2に従う第3の配置例は、図19に示される実施の形態2に従う第1の配置例において、隣接するメモリセル列間で繰り返し単位140aを1/2ピッチ（ハーフピッチ）分だけずらした配置に相当する。

【0132】

図21には、第1行～第4行にそれぞれ対応するリードワード線RWL1～RWL4およびライトワード線WWL1～WWL4と、第1列および第2列にそれぞれ対応するおよびビット線BL1、BL2が代表的に示される。

【0133】

このような配置とすることによって、選択されたリードワード線RWLに対応して、1本おきのビット線BLにメモリセルが接続されるので、セルサイズを増加させることなく折返し型ビット線構成に基づくデータ読出に適したメモリセル配置を実行できる。

【0134】

折返し型ビット線構成に基づくデータ読出においては、2本のビット線ごとに1対のビット線対が構成されて、同一のビット線対を構成する2本の相補ビット線のそれぞれは、メモリセルと接続および非接続とされる。たとえば、ビット線BL1およびBL2は同一のビット線対を構成し、ビット線BL2はデータ読出時において、ビット線BL1の相補線／BL1として動作する。

【0135】

さらに、ピッチずらしを実行しない図19の場合と比較して各トンネル磁気抵抗素子TMR同士間の距離を長くすることができるので、メモリセル間の磁界干渉を抑制して動作マージンを確保できる。また、トンネル磁気抵抗素子TMRを行方向に沿って交互配置できるので、メモリセル間の行方向ピッチを容易に確保して、メモリアレイをさらに高集積化することができる。

【0136】

ただし、1/2ピッチずらしを行なうことによって、ライトワード線WWLの配置領域は、トンネル磁気抵抗素子TMRと結合されるドレイン側コンタクト1



30dと重なってしまう。したがって、第3の配置例を実現するには、図18に示したような、ライトワード線WWLがビット線BLよりも上層に配置される構造であることが必要である。

【0137】

図22は、実施の形態2に従うMTJメモリセルの第4の配置例を示す概念図である。

【0138】

図22を参照して、実施の形態2に従う第4の配置例は、図20に示される実施の形態2に従う第2の配置例において、隣接するメモリセル列間で繰り返し単位140bを1/2ピッチ（ハーフピッチ）分だけずらした配置に相当する。

【0139】

図22には、第1行・第1列～第2行・第2列までのメモリセルMCおよび、これらのメモリセルに対応するリードワード線RWL1、RWL2、ライトワード線WWL1、WWL2およびビット線BL1、BL2が代表的に示される。

【0140】

この結果、ピッチずらしを実行しない図20の場合と比較して各トンネル磁気抵抗素子TMR同士間の距離を長くすることができるので、メモリセル間の磁界干渉を抑制して動作マージンを確保できる。また、トンネル磁気抵抗素子TMRを行方向に沿って交互配置できるので、メモリセル間の行方向ピッチを容易に確保して、メモリアレイをさらに高集積化することができる。

【0141】

ただし、1/2ピッチずらしを行なうことによって、ライトワード線WWLの配置領域は、トンネル磁気抵抗素子TMRと結合されるドレイン側コンタクト130dと重なってしまう。したがって、第3の配置例を実現するには、図18に示したような、ライトワード線WWLがビット線BLよりも上層に配置される構造であることが必要である。

【0142】

図23は、実施の形態2に従うMTJメモリセルの第5の配置例を示す概念図である。

【0143】

図23を参照して、実施の形態2に従う第5の配置例は、図20に示される実施の形態2に従う第2の配置例において、隣接するメモリセル列間で繰り返し単位140bを1/4ピッチ（クォーターピッチ）分だけずらした配置に相当する。

【0144】

図23には、第1行・第1列～第4行・第4列までのメモリセルMCおよび、これらのメモリセルに対応するリードワード線RWL～RWL4、ライトワード線WWL1～WWL4およびビット線BL1～BL4が代表的に示される。

【0145】

このような配置とすることによって、選択されたリードワード線RWLに対応して、1本おきのビット線BLにメモリセルが接続されるので、セルサイズを増加させることなく折返し型ビット線構成に基づくデータ読出に適したメモリセル配置を実行できる。たとえば、ビット線BL1およびBL2は同一のビット線対を構成し、ビット線BL2はデータ読出時において、ビット線BL1の相補線／BL1として動作する。また、ビット線BL3およびBL4は同一のビット線対を構成し、ビット線BL4はデータ読出時において、ビット線BL1の相補線／BL3として動作する。

【0146】

〔実施の形態2の変形例1〕

図24は、実施の形態2の変形例1に従うMTJメモリセルの第1の配置例を示す概念図である。

【0147】

図24を参照して、実施の形態2の変形例1に従う第1の構成例においては、列方向に隣接メモリセル間でソース側コンタクト130sが共有される。繰り返し単位140cは、2つのメモリセルMCに対応する。各繰返し単位140cごとに、コンタクト1個分の間隔が設けられるので、メモリセルサイズは、実施の形態2と同様に $8F^2$ で設計される。メモリアレイ10において、繰り返し単位140cが連続的に配置されて、メモリセルMCが行列状に配置される。

【0148】

トンネル磁気抵抗素子TMRと結合されるドレイン側コンタクト130dは、各メモリセルごとに配置される。また、ドレイン側コンタクト130dの上層において、トンネル磁気抵抗素子TMRは、コンタクト130bによって対応するビット線BLと接続される。したがって、図24の配置を実現するには、図18に示したような、ライトワード線WWLがビット線BLよりも上層に配置される構造であることが必要である。

【0149】

なお、図16から18に示されるように、ビット線BLとトンネル磁気抵抗素子TMRとの間の距離は、ライトワード線WWLとトンネル磁気抵抗素子TMRとの距離よりも小さいので、同一の電流量を流した場合においても、ビット線BLを流れるデータ書込電流によって生じる磁界の方が、ライトワード線WWLを流れるデータ書込電流によって生じる磁界よりも大きい。

【0150】

したがって、ほぼ同じ強度のデータ書込磁界を磁気トンネル接合部MTJに与えるためには、ビット線BLよりも大きなデータ書込電流をライトワード線WWLに対して流す必要がある。既に説明したように、ビット線BLおよびライトワード線WWLは、電気抵抗値を小さくするために金属配線層に形成されるが、配線に流れる電流密度が過大となると、エレクトロマイグレーション現象に起因する断線や配線間短絡が発生して、動作の信頼性に支障をきたす場合がある。このため、データ書込電流が流れる配線の電流密度を抑制することが望ましい。

【0151】

したがって、図24に示される配置とすることによって、ビット線BLよりもトンネル磁気抵抗素子TMRから遠く、より大きなデータ書込電流を流す必要があるライトワード線WWLの配線幅を少なくともビット線BLよりも広く確保して、その断面積を大きくできる。この結果、ライトワード線WWLの電流密度を抑制して、MRAMデバイスの信頼性を向上させることができる。

【0152】

また、より大きなデータ書込電流を流す必要がある金属配線（実施の形態2に

においてはライトワード線(WWL)を、エレクトロマイグレーション耐性の高い材料によって形成することも、信頼性の向上に効果がある。たとえば、他の金属配線がアルミ合金(A1合金)で形成される場合に、エレクトロマイグレーション耐性を考慮する必要のある金属配線を銅(Cu)によって形成すればよい。

#### 【0153】

図25は、実施の形態2の変形例1に従うMTJメモリセルの第2の配置例を示す概念図である。

#### 【0154】

図25を参照して、実施の形態2の変形例1に従う第2の配置例は、図24に示される配置において、隣接するメモリセル列間で繰り返し単位140cを1/2ピッチ(ハーフピッチ)分だけずらした配置に相当する。その他の配置は、図24と同様であるので、詳細な説明は繰り返さない。

#### 【0155】

図25には、第1行・第1列～第2行・第2列までのメモリセルMCおよび、これらのメモリセルに対応するリードワード線RWL1、RWL2、ライトワード線WWL1、WWL2およびビット線BL1、BL2が代表的に示される。

#### 【0156】

このような配置とすることによって、選択されたリードワード線RWLに対応して、1本おきのビット線BLにメモリセルが接続されるので、セルサイズを増加させることなく折返し型ビット線構成に基づくデータ読出に適したメモリセル配置を実行できる。たとえば、ビット線BL1およびBL2はビット線対を構成し、ビット線BL2はデータ読出時において、ビット線BL1の相補線/BL1として動作する。

#### 【0157】

図26は、実施の形態2の変形例1に従うMTJメモリセルの第3の配置例を示す概念図である。

#### 【0158】

図26を参照して、実施の形態2の変形例1に従う第3の配置例は、図24に示される配置において、隣接するメモリセル列間で繰り返し単位140cを1/

4ピッチ（ハーフピッチ）分だけずらした配置に相当する。

【0159】

ライトワード線WWLとリードワード線RWLは、図23の構成と同様に、交互配置される。

【0160】

図26には、第1行・第1列～第4行・第4列に対応するリードワード線RWL1～RWL4、ライトワード線WWL1～WWL4およびビット線BL1～BL4と、これらの信号線と対応するメモリセルとが代表的に示される。

【0161】

このような配置とすることによって、図25の配置と同様に、セルサイズを増加させることなく折返し型ビット線構成に基づくデータ読出に適したメモリセル配置を実行できる。たとえば、ビット線BL1およびBL3は1つのビット線対を構成し、ビット線BL3はデータ読出時において、ビット線BL1の相補線／BL1として動作する。同様に、ビット線BL2およびBL4は他の1つのビット線対を構成し、ビット線BL4はデータ読出時において、ビット線BL2の相補線／BL2として動作する。

【0162】

さらに、ピッチずらしを実行しない図24の配置と比較して、各トンネル磁気抵抗素子TMR同士間の距離を長くすることができるので、メモリセル間の磁界干渉を抑制して動作マージンを確保できる。また、トンネル磁気抵抗素子TMRを行方向に沿って交互配置できるので、メモリセル間の行方向ピッチを容易に確保して、メモリアレイをさらに高集積化することができる。

【0163】

〔実施の形態2の変形例2〕

図27は、実施の形態2の変形例2に従うMTJメモリセルの第1の配置例を示す概念図である。

【0164】

図27を参照して、同一列に属するメモリセルMCにおいては、ソース側コンタクト130sおよびドレイン側コンタクト130dは、同一側にそれぞれ配置

される。一方、1列ごとすなわちビット線ごとに、ソース側コンタクト130sおよびドレイン側コンタクト130dは、互いに反転して配置される。したがって、行方向に隣接する2個のメモリセルによって、1個の繰り返し単位140dが構成される。メモリアレイ10全体において、繰り返し単位140bが連続的に配置されて、メモリセルMCが行列状に配置される。メモリセルサイズは、図19と同様に $8F^2$ で示される。

【0165】

各メモリセルにおいて、トンネル磁気抵抗素子TMRは、ソース側コンタクト130sの上層側において、コンタクト130bを介して対応するビット線BLと接続される。各ライトワード線WWLは、トンネル磁気抵抗素子TMRと結合されるドレイン側コンタクト130dと重なる領域に配置されるので、図18に示される構造のように、ライトワード線WWLはビット線BLよりも上層に配置される必要がある。

【0166】

図27には、リードワード線RWL1、RWL2、ライトワード線WWL1～4およびビット線BL1、BL2が代表的に示される。

【0167】

このような配置とすることによって、図19、20等の場合と比較して各トンネル磁気抵抗素子TMR同士間の距離を長くすることができるので、メモリセル間の磁界干渉を抑制して動作マージンを確保できる。また、トンネル磁気抵抗素子TMRを行方向に沿って交互配置できるので、メモリセル間の行方向ピッチを容易に確保して、メモリアレイをさらに高集積化することができる。

【0168】

さらに、選択されたライトワード線WWLに対応して、1本おきのビット線BLにメモリセルが接続されるので、セルサイズを増加させることなく折返し型ビット線構成に基づくデータ書込に適したメモリセル配置を実行できる。

【0169】

折返し型ビット線構成に基づくデータ書込においては、2本のビット線ごとに1対のビット線対が構成されて、同一のビット線対を構成する2本の相補ビット

線には、互いに逆方向のデータ書込電流が流される。2本の相補ビット線の一端同士を電氣的に結合し、さらに、2本の相補ビット線の他端を異なる電圧とそれぞれ結合することによって、データ書込電流のシンク部分を特に設けることなく、データ書込電流を効率的に供給することができる。たとえば、ビット線BL1およびBL2はビット線対を構成し、ビット線BL2はデータ書込時において、ビット線BL1(WBL1)の相補線(/WBL1)として動作する。

【0170】

図28は、実施の形態2の変形例2に従うMTJメモリセルの第2の配置例を示す概念図である。

【0171】

図28を参照して、実施の形態2の変形例2に従う第2の配置例においては、折返し型ビット線構成に基づくデータ書込は実行されず、各ビット線BLごとにデータ書込が実行される点が、図27に示される第1の構成例の場合と異なる。その他の構成は、図27と同様であるので、詳細な説明は繰り返さない。

【0172】

したがって、ライトワード線WWLは、図24および図25の場合と同様に、配線幅を確保して配置できる。この結果、ライトワード線WWLの電流密度を抑制して、MRAMデバイスの信頼性を向上できる。

【0173】

図29は、実施の形態2の変形例2に従うMTJメモリセルの第3の配置例を示す概念図である。

【0174】

図29を参照して、実施の形態2の変形例2に従う第3の配置例は、図27に示される配置において、各繰り返し単位140dにおいてメモリセル列ごとの配置を1/2ピッチ(ハーフピッチ)分だけずらした配置に相当する。

【0175】

ライトワード線WWLは、トンネル磁気抵抗素子TMRと結合されるドレイン側コンタクト130dと重ならないので、ライトワード線WWLはビット線BLの上層もしくは下層のいずれにも配置できる。その他の配置は、図27と同様で

あるので、詳細な説明は繰り返さない。

【0176】

図29には、リードワード線RWL1～RWL4、ライトワード線WWL1～WWL3およびビット線BL1、BL2が代表的に示される。

【0177】

このような配置とすることによって、選択されたリードワード線RWLに対応して、1本おきのビット線BLにメモリセルが接続されるので、セルサイズを増加させることなく折返し型ビット線構成に基づくデータ読出に適したメモリセル配置を実行できる。たとえば、ビット線BL1およびBL2はビット線対を構成し、ビット線BL2はデータ読出時において、ビット線BL1の相補線/BL1として動作する。

【0178】

図30は、実施の形態2の変形例2に従うMTJメモリセルの第4の配置例を示す概念図である。

【0179】

図30を参照して、実施の形態2の変形例2に従う第4の配置例においては、図27に示される配置と、ロウ・ストライプ反転配置とが組合せられる。したがって、2行×2列分の隣接する4個のメモリセルによって、1個の繰り返し単位140eが構成される。メモリアレイ10全体において、繰り返し単位140eが連続的に配置されて、メモリセルMCが行列状に配置される。メモリセルサイズは、図27と同様に $8F^2$ で設計される。

【0180】

各ライトワード線WWLは、トンネル磁気抵抗素子TMRと結合されるドレイン側コンタクト130dと重なる領域に配置されるので、図18に示される構造のように、ライトワード線WWLはビット線BLよりも上層に配置される必要がある。

【0181】

図30には、リードワード線RWL1、RWL2、ライトワード線WWL1～WWL4およびビット線BL1、BL2が代表的に示される。



## 【0182】

このような配置としても、図27に示す配置と同様に、セルサイズを増加させることなく、折返し型ビット線構成に基づくデータ書込に適したメモリセル配置を実行できる。また、トンネル磁気抵抗素子TMRを行方向に沿って交互配置できるので、メモリセル間の行方向ピッチを容易に確保して、メモリアレイをさらに高集積化することができる。

## 【0183】

なお、図30に示される配置においても、図28の場合と同様に、折返し型ビット線構成に基づくデータ書込を実行せずに、ライトワード線WWLの配線幅を確保して配置することも可能である。

## 【0184】

図31は、実施の形態2の変形例2に従うMTJメモリセルの第5の配置例を示す概念図である。

## 【0185】

図31を参照して、実施の形態2の変形例2に従う第5の配置例は、図30に示される配置において、各繰返し単位140eにおいてメモリセル列ごとの配置を1/4ピッチ(クォーターピッチ)分だけずらした配置に相当する。各ライトワード線WWLは、図30と同様に、ビット線BLよりも上層に配置される必要がある。

## 【0186】

図31には、第1行・第1列～第4行・第2列までのメモリセルMCおよび、これらのメモリセルに対応するリードワード線RWL1～RWL4、ライトワード線WWL1～WWL4およびビット線BL1、BL2が代表的に示される。

## 【0187】

このような配置とすることによって、選択されたリードワード線RWLに対応して、1本おきのビット線BLにメモリセルが接続されるので、セルサイズを増加させることなく折返し型ビット線構成に基づくデータ読出に適したメモリセル配置を実行できる。たとえば、ビット線BL1およびBL2はビット線対を構成し、ビット線BL2はデータ読出時において、ビット線BL1の相補線/BL1

として動作する。

【0188】

〔実施の形態2の変形例3〕

図32は、実施の形態2の変形例3に従うMTJメモリの第1の配置例を示す概念図である。

【0189】

図32を参照して、実施の形態2の変形例1に従う第1の構成例においては、列方向に隣接メモリセル間でソース側コンタクト130sが共有される。さらに、繰り返し単位140fにかかわらずソース側コンタクト130sおよびドレイン側コンタクト130dの各々は、等間隔で配置されるので、各メモリセルMCのメモリセルサイズは、 $6F^2$ で設計される。繰り返し単位140fは、同一のソース側コンタクト130sを共有する2個のメモリセルMCに対応する。メモリアレイ10において、繰り返し単位140fが連続的に配置されて、メモリセルMCが行列状に配置される。

【0190】

この結果、折返し型ビット線構成に基づくデータ書込もしくはデータ読出を実行することはできないものの、メモリアレイをさらに高集積化してMRAMデバイスの小面積化を図ることができる。

【0191】

トンネル磁気抵抗素子TMRと結合されるドレイン側コンタクト130dは、各メモリセルごとに配置される。また、ドレイン側コンタクト130dの上層において、トンネル磁気抵抗素子TMRは、コンタクト130bによって対応するビット線BLと接続される。したがって、図32の配置を実現するには、図18に示したような、ライトワード線WWLがビット線BLよりも上層に配置される構造であることが必要である。

【0192】

さらに、ビット線BLよりもトンネル磁気抵抗素子TMRから遠く、より大きなデータ書込電流を流す必要があるライトワード線WWLの配線幅を確保して、その断面積を大きくできる。この結果、ライトワード線WWLの電流密度を抑制

して、MRAMデバイスの信頼性を向上させることができる。

【0193】

図33は、実施の形態2の変形例3に従うMTJメモリセルの第2の配置例を示す概念図である。

【0194】

図33を参照して、実施の形態2の変形例3に従う第2の配置例は、図32に示される配置において、隣接するメモリセル列間で繰り返し単位140cを1/2ピッチ（ハーフピッチ）分だけずらした配置に相当する。その他の配置については、図32と同様であるので詳細な説明は繰り返さない。

【0195】

このような配置とすることにより、トンネル磁気抵抗素子TMRを行方向に沿って交互配置できる。したがって、図32に示される配置による効果に加えて、メモリセル間における行方向ピッチを容易に確保して、メモリアレイをさらに高集積化することができる。

【0196】

図34は、実施の形態2の変形例3に従うMTJメモリセルの第3の配置例を示す概念図である。

【0197】

図34を参照して、実施の形態2の変形例3に従う第3の配置例は、図32に示される配置において、隣接するメモリセル列間で繰り返し単位140fを1/4ピッチ（クォーターピッチ）分だけずらした配置に相当する。

【0198】

その他の配置については、図32と同様であるので詳細な説明は繰り返さない。この結果、図32に示される構成による配置に加えて、ライトワード線WWLの電流密度をさらに抑制して、MRAMデバイスの信頼性をさらに向上させることができる。

【0199】

【実施の形態3】

実施の形態3においては、データ読出において、読出参照電圧を正確に設定す

るための構成について説明する。

#### 【0200】

図35は、本発明の薄膜磁性体記憶装置におけるデータ読出を説明する概念図である。

#### 【0201】

図35を参照して、メモリセルMC1およびMC2は、“0”および“1”の記憶データをそれぞれ保持しているものとする。メモリセルMC1およびMC2は、ビット線BLに接続される。一方、ビット線BLとビット線対を構成するビット線/BLは、ダミーメモリセルDMCと結合される。

#### 【0202】

データ読出時において、データ読出回路50r中の電流供給回路51によって、一定のセンス電流（データ読出電流） $I_s$ がこれらのメモリセルに対して供給される。同様に、ダミーメモリセルDMCに対しても、たとえば共通のセンス電流 $I_s$ が供給される。

#### 【0203】

すでに説明したように、記憶データ“1”および“0”をそれぞれ保持するメモリセルにおけるトンネル磁気抵抗素子TMRの電気抵抗値は、 $R_h$ および $R_l$ でそれぞれ示される。ここで、 $R_h$ と $R_l$ との差、すなわち記憶データのレベルの違いに応じてトンネル磁気抵抗素子TMRに生じる電気抵抗値の差を $\Delta R$ で示すこととする。一般的に、 $\Delta R$ は、 $R_l$ の10～40％程度に設計される。

#### 【0204】

記憶データ“0”を保持するメモリセルMC1がデータ読出の対象に選択された場合においては、リードワード線RWLaが活性化されて、メモリセルMC1内のアクセストランジスタATRがオンする。この結果、トンネル磁気抵抗素子TMRを含むセンス電流 $I_s$ の経路が、電流供給回路51と接地電圧 $V_{ss}$ との間に形成される。この結果、ビット線BLによってデータ読出回路50rに伝達される読出電圧は、 $V_L = I_s \cdot R$ に落ち着く。ここで、電気抵抗値 $R$ には、メモリセルMC1中のトンネル磁気抵抗素子TMRの電気抵抗値 $R_l$ 、アクセストランジスタATRのチャネル抵抗およびビット線BL等の配線抵抗等が含まれる。

【0205】

一方、記憶データ“1”を保持するメモリセルMC2がデータ読出の対象に選択された場合においては、リードワード線RWLbが活性化されてメモリセルMC2に対して同様にセンス電流Isの経路が形成される。この結果、読出電圧は、VLよりも高い $VH = Is \cdot (R + \Delta R)$ に落ち着く。

【0206】

メモリセルと接続されたビット線（図35におけるBL）と、ダミーメモリセルと接続されたビット線（図35における／BL）との間の電圧差を検知・増幅することによって、データ読出は実行される。したがって、ダミーメモリセルを用いて生成される読出参照電圧Vrefを、読出電圧VHおよびVLの中間値、すなわち $(VH + VL) / 2$ の近傍に正確に設定する必要がある。

【0207】

たとえば、ダミーメモリセルDMCを、トンネル磁気抵抗素子TMRの電気抵抗値RhおよびRlを考慮した電気抵抗値Rm（たとえば、 $Rm = (Rh + Rl) / 2$ ）の抵抗素子で構成すれば、共通のセンス電流Isを流すことによって、適切な読出参照電圧Vrefを生成することができる。

【0208】

しかしながら、このような構成とすれば、読出参照電圧Vrefは、ダミーメモリセルにおける電気抵抗値Rmの製造ばらつきに応じて変化してしまう。また、読出参照電圧Vrefの適正なレベルは、データ読出対象となるメモリセルMCの製造ばらつきによっても変化する。この結果、製造ばらつきを許容して、データ読出時の信号マージンを確保することが困難になるおそれがある。

【0209】

図36は、実施の形態3に従うダミーメモリセルの第1の構成例を示す回路図である。

【0210】

図36を参照して、実施の形態3の第1の構成例に従うダミーメモリセルDCPは、並列に配置された2個のセルユニットCU0およびCU1を備える。セル

ユニットCU0およびCU1の各々は、メモリセルMCと同様の構成を有し、ビット線BLと接地電圧Vssとの間に直列に結合された、トンネル磁気抵抗素子TMRおよびアクセストランジスタATRを含む。

【0211】

セルユニットCU0およびCU1にそれぞれ含まれるアクセストランジスタATRのゲートは、同時に活性化もしくは非活性化されるダミーリードワード線DRWLおよびDRWL'とそれぞれ接続される。

【0212】

セルユニットCU0およびCU1に対しては、異なる記憶データ“0”および“1”がそれぞれ書込まれる。

【0213】

ダミーメモリセルDCPに対しては、データ読出時において、電流供給回路52からメモリセルMCに供給されるセンス電流Isの2倍、すなわち $2 \cdot I_s$ の一定電流が供給される。ダミーリードワード線DRWL、DRWL'は、データ読出時において、共に活性化される。

【0214】

したがって、データ読出時において、記憶データ“0”および“1”をそれぞれ保持する2個のセルユニットCU0およびCU1が、読出参照電圧Vrefを伝達するためのビット線BLと接地電圧Vssとの間に並列に接続される。この結果、ダミーメモリセルDCPによって生じる読出参照電圧Vrefは、下記のようなになる。

【0215】

$$\begin{aligned} V_{ref} &= 2 \cdot I_s \cdot 1 / (1/R + 1/(R + \Delta R)) \\ &= 2 \cdot I_s \cdot (R + \Delta R) / (2 + \Delta R/R) \\ &\approx (V_L + V_H) / 2 \quad \dots (1) \end{aligned}$$

同一のメモリアレイ上に同一の製造条件に基づいて作製される、メモリセルMCと、ダミーメモリセルDCPを構成するセルユニットCU0およびCU1とのそれぞれにおいて、トンネル磁気抵抗素子TMRの特性は同様のものとなる可能性が高いので、ダミーメモリセルDCPは、上記(1)式に示すように、読出参

照電圧  $V_{ref}$  を読出電圧  $V_H$  および  $V_L$  の間の値に、製造ばらつきを許容して確実に設定することができる。

【0216】

図37は、実施の形態3に従うダミーメモリセルの第2の構成例を示す回路図である。

【0217】

図37を参照して、実施の形態3の第2の構成例に従うダミーメモリセルDCSは、直列に配置された2個のセルユニットCU0およびCU1を備える。セルユニットCU0およびCU1の各々は、メモリセルMCと同様の構成を有する。

【0218】

セルユニットCU0およびCU1にそれぞれ含まれるアクセストランジスタATRのゲートは、共通のダミーリードワード線DRWLと接続される。

【0219】

セルユニットCU0およびCU1に対しては、異なる記憶データ“0”および“1”がそれぞれ書込まれる。ダミーメモリセルに対するデータ書込は、並列ダミーセルDCPの場合と同様に実行することができる。

【0220】

ダミーメモリセルDCSに対しては、データ読出時において、電流供給回路52からメモリセルMCに供給されるセンス電流  $I_s$  の半分、すなわち  $I_s/2$  の一定電流が供給される。ダミーリードワード線DRWLは、データ読出時において、活性化される。

【0221】

したがって、データ読出時において、記憶データ“0”および“1”をそれぞれ保持する2個のセルユニットCU0およびCU1が、読出参照電圧  $V_{ref}$  を伝達するためのビット線BLと接地電圧  $V_{ss}$  との間に直列に接続される。この結果、ダミーメモリセルDCSによって生じる読出参照電圧  $V_{ref}$  は、下記のようなになる。

【0222】

$$V_{ref} \cong (I_s/2) \cdot (R + (R + \Delta R))$$

$$= I_s \cdot (R + \Delta R / 2) = (V_L + V_H) / 2 \quad \cdots (2)$$

既に説明したように、メモリセルMCと、ダミーメモリセルDCPを構成するセルユニットCU0およびCU1とのそれぞれにおいて、トンネル磁気抵抗素子TMRの特性は同様になると期待されるので、上記(2)式に示すように、ダミーメモリセルDCSは、読出参照電圧Vrefを、読出電圧VHおよびVLの間の値に製造ばらつきを許容して確実に設定することができる。

【0223】

また、ダミーメモリセルDCPは、図36に示したダミーメモリセルDCPと比較してデータ読出時における消費電流が小さい。

【0224】

なお、以下において、図36に示したダミーメモリセルDCPを「並列ダミーセルDCP」とも称し、図37に示したダミーメモリセルDCSを「直列ダミーセルDCS」とも称する。

【0225】

【実施の形態3の変形例1】

以下においては、実施の形態3に従うダミーメモリセルを配置したメモリアレイ構成のバリエーションについて説明する。

【0226】

図38は、実施の形態3の変形例1に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

【0227】

図38を参照して、メモリアレイ10には、行列状に配置される複数のメモリセルMCと、2つのダミー行を形成するように配置される複数のダミーメモリセルとが配置される。ダミーメモリセルとしては、図36に示した並列ダミーセルDCPが適用される。全てを図示しないが、メモリアレイ10には、メモリセルMCがn行×m列(n, m: 自然数)に配列されるものとする。

【0228】

各並列ダミーセルDCPは、並列に配置された2個のセルユニットCUを含む。各セルユニットの構成は、メモリセルMCと同様である。このように、並列ダ



ミーセルDCPは、メモリアレイ10において行列状に配置されるメモリセルMCをセルユニットとして用いて構成することができる。したがって、メモリアレイ10におけるメモリセルMCの行数を増やすだけで、製造工程の複雑化を招くことなくダミーメモリセルを容易に配置できる。

#### 【0229】

メモリアレイ10上において、メモリセルMCの行にそれぞれ対応して、リードワード線RWLおよびライトワード線WWL（図示せず）が配置される。さらに、メモリセルMCの列にそれぞれ対応して、ビット線対BLPが配置される。各ビット線対BLPは、相補のビット線BLおよび／BLから構成される。全ての図示は省略するが、メモリアレイ10全体においては、リードワード線RWL1～RWLn、ライトワード線WWL1～WWLn、ビット線対BLP1～BLPm、およびビット線BL1～BLm、／BL1～／BLmが配置されている。

#### 【0230】

図38においては、メモリセルMCの第1および第2行にそれぞれ対応するリードワード線RWL1およびRWL2と、第1および第2列にそれぞれ対応するビット線対BLP1およびBLP2とが代表的に示される。ビット線対BLP1は、ビット線BL1および／BL1から構成され、ビット線対BLP2は、ビット線BL2および／BL2から構成されている。

#### 【0231】

なお、以下においては、ライトワード線、リードワード線、ビット線およびビット線対を総括的に表現する場合には、符号WWL、RWL、BL（／BL）およびBLPをそれぞれ用いて表記することとし、特定のライトワード線、リードワード線およびビット線を示す場合には、これらの符号に添字を付してRWL1、WWL1のように表記するものとする。

#### 【0232】

メモリセルMCは、1行ごとにビット線BLおよび／BLのいずれか一方ずつと結合される。たとえば、第1列に属するメモリセルMCについて説明すれば、第1行目のメモリセルは、ビット線BL1と結合され、第2行目のメモリセルは、ビット線／BL1と結合される。以下同様に、メモリセルMCの各々は、奇数

行においてビット線対の一方ずつBL1～BLmと接続され、偶数行においてビット線対の他方ずつの／BL1～／BLmと接続される。

#### 【0233】

この結果、リードワード線RWLが行選択結果に応じて選択的に活性化されると、ビット線対の一方ずつBL1～BLmおよびビット線対の他方ずつ／BL1～／BLmのいずれかが、メモリセルMCと結合される。

#### 【0234】

2行に渡って配置される複数の並列ダミーセルDCPは、ビット線BL1～BLm、／BL1～／BLmとそれぞれと結合される。各並列ダミーセルDCPは、ダミーリードワード線DRWL1およびDRWL2のいずれか一方によって選択される。ダミーリードワード線DRWL1によって選択される並列ダミーセルは、ビット線／BL1～／BLmとそれぞれ結合される。一方、ダミーリードワード線DRWL2によって選択される残りの並列ダミーセルは、ビット線BL1～BLmとそれぞれ結合される。

#### 【0235】

ダミーリードワード線DRWL1およびDRWL2は、各ビット線対の一方BLおよび各ビット線対の他方／BLのうち、選択されたメモリセル行に属するメモリセルMCと非接続となった一方を並列ダミーセルDCPとそれぞれ結合するように選択的に活性化される。

#### 【0236】

この結果、各ビット線対の一方ずつBL1～BLmおよび各ビット線対の他方ずつ／BL1～／BLmは、選択されたメモリセル行に対応する複数のメモリセルMCおよび複数の並列ダミーセルとの一方ずつとそれぞれ結合される。

#### 【0237】

列デコーダ25は、コラムアドレスCAのデコード結果に応じて、メモリセル列に対応してそれぞれ設けられるコラム選択線CSL1～CSLmのうちの1本を選択状態（Hレベル）に活性化する。

#### 【0238】

次に、読出／書込制御回路50に含まれるコラム選択ゲートの構成について説

明する。

【0239】

コラム選択ゲートCSG1, CSG2, …は、メモリセル列に対応してそれぞれ配置される。複数のコラム選択ゲートのうちのいずれか1個は、列デコーダ25の列選択結果に応じてオン状態となり、データバス対DBPを構成するデータバスDBおよび/DBを、対応するビット線BLおよび/BLとそれぞれ結合する。

【0240】

たとえば、コラム選択ゲートCSG1は、データバスDBとビット線BL1との間に結合されるトランジスタスイッチと、データバス/DBとビット線/BL1との間に電氣的に結合されるトランジスタスイッチとを有する。これらのトランジスタスイッチは、コラム選択線CSL1の電圧レベルに応じてオン/オフする。すなわち、コラム選択線CSL1が選択状態(Hレベル)に活性化された場合には、コラム選択ゲートCSG1は、データバスDBおよび/DBをビット線BL1および/BL1とそれぞれ電氣的に結合する。その他のメモリセル列に対応してそれぞれ設けられるコラム選択ゲートも同様の構成を有する。

【0241】

読出/書込制御回路60は、メモリアレイ10を挟んでコラム選択ゲートCSG1〜CSGmと反対側に配置される。

【0242】

読出/書込制御回路60は、ビット線イコライズ信号BLEQに応じてオン/オフされるビット線接続トランジスタ62-1, 62-2, …を有する。ビット線接続トランジスタは、メモリセル列にそれぞれ対応して設けられる。たとえば、ビット線接続トランジスタ62-1は、第1番目のメモリセル列に対応して設けられ、ビット線イコライズ信号BLEQの活性化(Hレベル)に応答して、ビット線BL1と/BL1とを電氣的に結合する。

【0243】

その他のメモリセル列に対応してそれぞれ設けられるビット線接続トランジスタも同様に、ビット線イコライズ信号BLEQの活性化に応答して、対応するメ

モリセル列において、ビット線対を構成するビット線BLおよび／BLの間を電氣的に結合する。以下においては、ビット線接続トランジスタ62-1～62-mを総称して、単にビット線接続トランジスタ62とも表記する。

【0244】

ビット線イコライズ信号BLEQは、コントロール回路5によって生成される。ビット線イコライズ信号BLEQは、MRAMデバイス1のスタンバイ期間、MRAMデバイス1のアクティブ期間のうちメモリアレイ10が非選択状態である場合およびアクティブ期間内でデータ書込動作時において、折返し型で設けられるビット線対を構成するビット線BLおよび／BLを各メモリセル列において接続するために、Hレベルに活性化される。

【0245】

一方、MRAMデバイスのアクティブ期間におけるデータ読出動作時においては、ビット線イコライズ信号BLEQはLレベルに非活性化される。これに对应して、各メモリセル列において、ビット線対を構成するビット線BLおよび／BLの間は非接続とされる。

【0246】

また、図示しないプリチャージ回路によって、データ読出前の所定タイミングにおいて、ビット線BL、／BLの各々は、所定のプリチャージ電圧に設定される。

【0247】

図39は、並列ダミーセルに対するデータ書込を説明する概念図である。

図39には、ビット線対BLP1に対応して設けられる2個の並列ダミーセルDCPに対するデータ書込が代表的に示される。

【0248】

図39を参照して、ビット線BL1と接続される並列ダミーセルDCPは、セルユニットCU1およびCU2を含む。同様に、ビット線／BL1と接続される並列ダミーセルDCPは、セルユニットCU3およびCU4を含む。

【0249】

ビット線BL、／BLと交差する方向、すなわち行方向に沿って、ダミーライ

トワード線DWWL1およびDWWL2が配置される。ダミーライトワード線DWWL1およびDWWL2は、2行に渡って配置される複数の並列ダミーセルDCPの各々において、セルユニットの一方ずつとそれぞれ対応付けられる。

#### 【0250】

データ書込時においては、ビット線接続トランジスタ62がオンするので、ビット線対BLP1に供給されるデータ書込電流は、ビット線BL1およびBL1を往復電流として流れる。

#### 【0251】

まず、図中に実線で表記するように、ダミーライトワード線DWWL1を活性化してデータ書込電流 $I_p$ を流すとともに、ビット線対BLP1にデータ書込電流 $+I_w$ を流す。これにより、セルユニットCU1およびCU3に対して、それぞれ異なるレベルの記憶データが書込まれる。ここでは、セルユニットCU1に対して“1”、セルユニットCU3に対して“0”が書込まれるものとする。

#### 【0252】

次に、図中に点線で表記するように、ダミーライトワード線DWWL2を活性化してデータ書込電流 $I_p$ を流すとともに、先程とは反対方向のデータ書込電流 $-I_w$ をビット線対BLP1に流す。これにより、セルユニットCU2およびCU4に対して、セルユニットCU1およびCU3とそれぞれ異なるレベルの記憶データを書込むことができる。すなわち、セルユニットCU2に対して“0”、セルユニットCU4に対して“1”が書込まれる。

#### 【0253】

他のビット線対に対応する並列ダミーセルDCPに対しても、同様のデータ書込が並列に実行される。この結果、2つの書込サイクルによって、各並列ダミーセルDCPを構成する2個のセルユニットのそれぞれに、“1”および“0”の記憶データを書込むことができる。

#### 【0254】

ダミーメモリセルに対するデータ書込は、MRAMデバイスの電源投入時における初期化シーケンスの一環として実行することも、MRAMデバイスの動作中において周期的に行なうこともできる。たとえば、メモリアクセス毎に各サイク

ルにおいて、ダミーメモリセルに対するデータ書込を実行する構成としてもよい。

#### 【0255】

再び図38を参照して、データ読出回路50rは、データ読出時において読出データDOUTを出力する。データ読出回路50rは、電源電圧Vccを受けて内部ノードNs1およびNs2に、一定電流Isおよび $2 \cdot Is$ をそれぞれ供給するための電流供給回路51および52と、内部ノードNs1およびNs2の間の電圧差を増幅して読出データDOUTを出力する増幅器53と、内部ノードNs1およびNs2の一方をデータバスDBと接続するためのスイッチ54と、内部ノードNs1およびNs2の他方をデータバス/DBと接続するためのスイッチ55とを有する。

#### 【0256】

スイッチ54およびスイッチ55は、行選択信号RA0に基づいて、互いに相補的な選択を実行する。行選択信号RA0は、選択されたメモリセル行が、奇数行および偶数行のいずれであるかを示す1ビットの信号である。具体的には、奇数行が選択された場合には、スイッチ54は、内部ノードNs1とデータバスDBとを接続し、スイッチ55は、内部ノードNs2とデータバス/DBとを接続する。反対に、偶数行が選択された場合には、スイッチ54は、内部ノードNs2とデータバスDBとを接続し、スイッチ55は、内部ノードNs1とデータバス/DBとを接続する。

#### 【0257】

この結果、列選択結果に対応するビット線対において、メモリセルMCと接続されたビット線にはセンス電流Isが供給され、並列ダミーセルと接続されたビット線には、センス電流の2倍の $2 \cdot Is$ が供給される。これにより、内部ノードNs1には、選択されたメモリセルMCの記憶データに応じた読出電圧VHもしくはVLが生成される。一方、内部ノードNs2には、図36で説明したように並列ダミーセルによって読出参照電圧Vrefが生成される。

#### 【0258】

増幅器53によって、内部ノードNs1およびNs2の電圧差、すなわち読出

電圧  $V_H$  もしくは  $V_L$  と読出参照電圧  $V_{ref}$  との電圧差を検知・増幅することによって、選択されたメモリセルの記憶データに応じた読出データ  $DOUT$  が生成される。

【0259】

このようにして、製造ばらつきを許容して読出電圧  $V_H$  および  $V_L$  の間の値に確実に設定された読出参照電圧  $V_{ref}$  を用いて、折返し型ビット線構成に基づいた信号マージンの大きいデータ読出を実行できる。

【0260】

〔実施の形態3の変形例2〕

実施の形態3の変形例2においては、開放型ビット線構成において、並列ダミーセル  $DCP$  を適用したメモリアレイが示される。

【0261】

図40は、実施の形態3の変形例2に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

【0262】

図40を参照して、メモリアレイは、行方向に沿って2つのメモリマツト  $MTa$  および  $MTb$  に分割される。メモリマツト  $MTa$  および  $MTb$  の各々において、メモリセルの行にそれぞれ対応してリードワード線  $RWL$  およびライトワード線  $WWL$  (図示せず) が配置され、メモリセル列にそれぞれ対応してビット線が配置される。

【0263】

メモリマツト  $MTa$  および  $MTb$  の各々には、同数ずつのビット線がいわゆる開放型ビット線構成に基づいて配置される。図40においては、一方のメモリマツト  $MTa$  に配置されるビット線を  $BL1$ ,  $BL2$ , ... と表記し、他方のメモリマツト  $MTb$  に配置されるビット線を  $/BL1$ ,  $/BL2$ , ... と表記する。メモリセル  $MC$  は、各メモリセル行においてビット線  $BL$  の各々と結合される。

【0264】

図40においては、メモリセル  $MC$  の第1および第2行にそれぞれ対応するリードワード線  $RWL1a$ ,  $RWL2a$  および  $RWL1b$ ,  $RWL2b$  と、第1お

および第2列にそれぞれ対応するビット線BL1、/BL1およびBL2、/BL2とが代表的に示される。また、図示しないプリチャージ回路によって、データ読出前の所定タイミングにおいて、ビット線BL、/BLの各々は、所定のプリチャージ電圧に設定される。

【0265】

メモリマツトMTaおよびMTbの各々において、1つのダミー行を形成するように配置される複数のダミーメモリセルとが配置される。ダミーメモリセルとしては、図36に示した並列ダミーセルDCPが適用される。

【0266】

メモリマツトMTaに配置される複数の並列ダミーセルDCPは、ビット線BL1、BL2、…とそれぞれと結合される。メモリマツトMTbに配置される複数の並列ダミーセルDCPは、ビット線/BL1、/BL2、…とそれぞれと結合される。

【0267】

メモリマツトMTaに配置される並列ダミーセルDCPの各々は、ダミーリードワード線DRWL aによって選択される。一方、メモリマツトMTbに配置される並列ダミーセルDCPの各々は、ダミーリードワード線DRWL bによって選択される。

【0268】

ダミーリードワード線DRWL aおよびDRWL bは、データ読出対象のメモリセルが含まれていない、非選択のメモリブロックにおいて活性化される。一方、データ読出対象のメモリセルが含まれている、選択されたメモリブロックにおいては、行選択結果に対応するリードワード線RWLが活性化される。

【0269】

この結果、選択されたメモリマツトにおいて、ビット線はメモリセルMCと接続され、非選択のメモリマツトにおいて、ビット線は並列ダミーセルDCPと接続される。

【0270】

次に、並列ダミーセルDCPに対するデータ書込を説明する。



メモリマツトMT a およびMT b の各々において、各並列ダミーセルDCPを構成するセルユニットの一方ずつとそれぞれ対応付けられるように、2本のダミーライトワード線が、ビット線BL、/BLと交差する方向、すなわち行方向に沿って配置される。メモリマツトMT a には、ダミーライトワード線DWWL a 1 およびDWWL a 2 が配置され、メモリマツトMT b には、ダミーライトワード線DWWL b 1 およびDWWL b 2 が配置される。

#### 【0271】

まず、ダミーライトワード線DWWL a 1 およびDWWL b 1 を活性化してデータ書込電流I<sub>p</sub>を流すとともに、各ビット線BL、/BLにデータ書込電流を流すことにより、各並列ダミーセルDCPを構成するセルユニットの一方ずつに同一レベルの記憶データ（たとえば“1”）が書込まれる。

#### 【0272】

次に、ダミーライトワード線DWWL a 2 およびDWWL b 2 を活性化してデータ書込電流I<sub>p</sub>を流すとともに、先程とは反対方向のデータ書込電流を各ビット線BL、/BLに流すことによって、各並列ダミーセルDCPを構成するセルユニットの残りの一方ずつに先程とは異なるレベルの記憶データ（たとえば“0”）を書込むことができる。

#### 【0273】

この結果、2つの書込サイクルによって、各並列ダミーセルDCPを構成する2個のセルユニットのそれぞれに、“1”および“0”の記憶データを書込むことができる。ダミーメモリセルに対するデータ書込の実行タイミングについては、実施の形態3の変形例1と同様とすればよい。

#### 【0274】

コラム選択ゲートは、メモリマツトMT a およびMT b の各々において、メモリセル列に対応してそれぞれ配置される。メモリマツトMT a に配置されたコラム選択ゲートCSG1 a、CSG2 a、…は、ビット線BL1、BL2、…をデータバスDBとそれぞれ結合する。一方、メモリマツトMT b に配置されたコラム選択ゲートはCSG1 b、CSG2 b、…、ビット線/BL1、/BL2、…をデータバス/DBとそれぞれ結合する。

【0275】

メモリマツトMTaおよびMTbにそれぞれ配置される、同一のメモリセル列に対応する2個のコラム選択ゲートは、列デコーダ25の列選択結果に応じて、共通にオン・オフする。したがって、列選択結果に応じたビット線BLおよびBLが、データバスDBおよびDBとそれぞれ接続される。

【0276】

この結果、メモリマツトMTaが選択される場合には、データバスDBは選択メモリセルと接続され、データバス/DBは並列ダミーセルDCPと接続される。反対に、メモリマツトMTbが選択される場合には、データバス/DBは選択メモリセルと接続され、データバスDBは並列ダミーセルDCPと接続される。

【0277】

データ読出回路50rは、図38に示したのと同様の構成を有し、電流供給回路51および52と、増幅器53と、スイッチ54およびスイッチ55とを有する。

【0278】

図40においては、スイッチ54およびスイッチ55は、メモリマツト選択信号MT0に基づいて、互いに相補的な選択を実行する。メモリマツト選択信号MT0は、メモリマツトMTaおよびMTbのいずれが選択されているかを示す1ビットの信号である。具体的には、メモリマツトMTaが選択された場合には、スイッチ54は、内部ノードNs1とデータバスDBとを接続し、スイッチ55は、内部ノードNs2とデータバス/DBとを接続する。反対に、メモリマツトMTbが選択された場合には、スイッチ54は、内部ノードNs2とデータバスDBとを接続し、スイッチ55は、内部ノードNs1とデータバス/DBとを接続する。

【0279】

この結果、選択されたメモリマツトにおいて、メモリセルMCと接続されたビット線に対してセンス電流Isが供給される。一方、非選択のメモリマツトにおいて、並列ダミーセルと接続されたビット線にセンス電流の2倍の $2 \cdot I_s$ が供給される。これにより、内部ノードNs1には、選択されたメモリセルMCの記

憶データに応じた読出電圧V<sub>H</sub>もしくはV<sub>L</sub>が生成される。一方、内部ノードN<sub>s2</sub>には、図36で説明したように並列ダミーセルによって読出参照電圧V<sub>ref</sub>が生成される。

【0280】

したがって、実施の形態3の変形例1と同様に、製造ばらつきを許容して読出電圧V<sub>H</sub>およびV<sub>L</sub>の間の値に確実に設定された読出参照電圧V<sub>ref</sub>を用いて、読出電圧V<sub>H</sub>もしくはV<sub>L</sub>と読出参照電圧V<sub>ref</sub>との電圧差を検知・増幅することによって、信号マージンの大きいデータ読出を実行できる。

【0281】

〔実施の形態3の変形例3〕

図41は、実施の形態3の変形例3に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

【0282】

図41を参照して、実施の形態3の変形例3に従う構成においては、図38に示される実施の形態3の変形例1に従う構成と比較して、並列ダミーセルDCPに代えて、図37に示される直列ダミーセルDCSが配置される点が異なる。さらに、データ読出時において電流供給回路52からダミーメモリセルに供給される電流量が、メモリセルMCに対して供給されるセンス電流I<sub>s</sub>の半分、すなわちI<sub>s</sub>/2に設定される。

【0283】

データ読出に関連するその他の部分の構成は、図38と同様であるので、詳細な説明は繰り返さない。

【0284】

図42は、直列ダミーセルDCSに対するデータ書込を説明する概念図である。

【0285】

図42には、ビット線対BLP1に対応して設けられる2個の直列ダミーセルDCSに対するデータ書込が代表的に示される。

【0286】

図42を参照して、ビット線BL1と接続される直列ダミーセルDCSは、セルユニットCU1およびCU2を含む。同様に、ビット線/BL1と接続される直列ダミーセルDCSは、セルユニットCU3およびCU4を含む。

【0287】

ビット線BL、/BLと交差する方向、すなわち行方向に沿って、ダミーライトワード線DWWL1およびDWWL2が配置される。ダミーライトワード線DWWL1およびDWWL2は、直列ダミーセルDCSの行にそれぞれ対応して設けられる。

【0288】

データ書込時においては、ビット線接続トランジスタ62-1がオンするので、ビット線対BLP1に供給されるデータ書込電流は、ビット線BL1および/BL1を往復電流として流れる。

【0289】

ダミーライトワード線DWWL1を活性化してデータ書込電流Ipを流すとともに、ビット線対BLP1にデータ書込電流Iwを流すことにより、セルユニットCU1およびCU2に対して、それぞれ異なるレベルの記憶データが書込まれる。ここでは、セルユニットCU1に対して“1”、セルユニットCU2に対して“0”が書込まれるものとする。

【0290】

同様に、ダミーライトワード線DWWL2を活性化してデータ書込電流Ipを流すとともに、データ書込電流Iwをビット線対BLP1に流すことによって、セルユニットCU3およびCU4に対して、それぞれ異なるレベルの記憶データを書込むことができる。他のビット線対に対応する直列ダミーセルDCSに対しても、同様のデータ書込が並列に実行される。この結果、各直列ダミーセルDCSを構成する2個のセルユニットのそれぞれに、“1”および“0”の記憶データを書込むことができる。

【0291】

なお、ダミーライトワード線DWWL1およびDWWL2を同時に活性化すれば、1つの書込サイクルによって、各直列ダミーセルに対するデータ書込を実行

することができる。ダミーメモリセルに対するデータ書込タイミングについては、すでに述べたとおりであるので、説明は繰り返さない。

#### 【0292】

データ読出時における動作は、実施の形態3の変形例1と同様であるので詳細な説明は繰り返さない。このように、直列ダミーセルを用いても、製造ばらつきを許容して読出電圧V<sub>H</sub>およびV<sub>L</sub>の間の値に確実に設定された読出参照電圧V<sub>ref</sub>を用いて、信号マージンの大きいデータ読出を実行できる。さらに、直列ダミーセルを用いることによって、データ読出時における消費電力の抑制および、ダミーメモリセルに対するデータ書込時間の短縮を図ることができる。また、メモリセルの信頼性は、トンネル膜（図3におけるトンネルバリア104）を流れる電流に大きく依存するが、このような直列型ダミーセルでは、この電流が約半分に減少するので、ダミーセルの信頼性が向上するという利点もある。

#### 【0293】

##### 〔実施の形態3の変形例4〕

図43は、実施の形態3の変形例4に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

#### 【0294】

図43を参照して、実施の形態3の変形例4に従う構成においては、図40に示される実施の形態3の変形例2に従う構成と比較して、並列ダミーセルDCPに代えて、図37に示される直列ダミーセルDCSが配置される点が異なる。さらに、データ読出時において電流供給回路52からダミーメモリセルに供給される電流量が、メモリセルMCに対して供給されるセンス電流I<sub>s</sub>の半分、すなわちI<sub>s</sub>/2に設定される。

#### 【0295】

データ読出に関連するその他の部分の構成は、図40と同様であるので、詳細な説明は繰り返さない。

#### 【0296】

次に、直列ダミーセルDCSに対するデータ書込を説明する。

メモリマットMTaおよびMTbのそれぞれに対応して、ダミーライトワード

線DWWL aおよびDWWL bが、行方向に沿って配置される。

【0297】

まず、ダミーライトワード線DWWL aおよびDWWL bを活性化してデータ書込電流 $I_p$ を流すとともに、奇数列に対応するビット線BL、 $\angle$ BLの各々にデータ書込電流 $+I_w$ を流すことにより、各並列ダミーセルDCPを構成するセルユニットの一方ずつ（図43におけるセルユニットCU1およびCU4）に同一レベルの記憶データ（たとえば“1”）が書込まれる。

【0298】

次に、ダミーライトワード線DWW aおよびDWWL bを活性化してデータ書込電流 $I_p$ を流すとともに、偶数列に対応するビット線BL、 $\angle$ BLの各々に対して、先程とは反対方向のデータ書込電流 $-I_w$ を流すことによって、各並列ダミーセルDCPを構成するセルユニットの残りの一方ずつ（図43におけるセルユニットCU2およびCU3）に先程とは異なるレベルの記憶データ（たとえば“0”）を書込むことができる。

【0299】

この結果、2つの書込サイクルによって、各直列ダミーセルDCSを構成する2個のセルユニットのそれぞれに、“1”および“0”の記憶データを書込むことができる。ダミーメモリセルに対するデータ書込の実行タイミングについては、実施の形態3の変形例1と同様とすればよい。

【0300】

データ読出時における動作は、実施の形態3の変形例2と同様であるので詳細な説明は繰り返さない。このように、直列ダミーセルを用いても、製造ばらつきを許容して読出電圧VHおよびVLの間の値に確実に設定された読出参照電圧Vrefを用いて、信号マージンの大きいデータ読出を実行できる。さらに、直列ダミーセルを用いることによって、データ読出時における消費電力の抑制を図ることができる。

【0301】

〔実施の形態3の変形例5〕

図44は、実施の形態3の変形例5に従うメモリアレイおよびその周辺回路の

データ読出に関する部分の構成を示すブロック図である。

### 【0302】

図44を参照して、実施の形態3の変形例5に従う構成においては、ダミーメモリセルは、ダミー列を構成するように配置される。図44においては、ダミーメモリセルとして、図36に示された並列ダミーセルDCPが適用される。

### 【0303】

図40および図43に示される開放型ビット線構成の場合と同様に、各メモリセル行において、各ビット線BLごとにメモリセルMCが配置される。コラム選択ゲートCSG1, CSG2, ...は、対応するコラム選択線CSL1, CSL2, ...の活性化、すなわち列デコーダ25の列選択結果に応じてオンする。この結果、列選択結果に対応するビット線BLは、データバス対DBPを構成するデータバスの一方DBと接続される。

### 【0304】

ダミー列を構成する並列ダミーセルDCPは、ダミービット線DBLと接続される。各並列ダミーセルDCPは、対応するリードワード線RWLの活性化にตอบสนองしてダミービット線DBLと接続される2個のセルユニットを含む。データバス対DBPを構成するデータバスの他方/DBとダミービット線DBLとの間には、ダミーコラム選択ゲートCSGdが配置される。ダミーコラム選択ゲートCSGdは、ダミーコラム選択線CSLdの活性化にตอบสนองしてオンする。データ読出時においては、選択されるメモリセル列にかかわらず、ダミーコラム選択線CSLdは活性化される。

### 【0305】

図45は、図44に示される並列ダミーセルに対するデータ書込を説明する概念図である。

### 【0306】

図45には、第1行および第2行に対応して設けられる2個の並列ダミーセルDCPに対するデータ書込が代表的に示される。

### 【0307】

図45を参照して、第1行に対応する並列ダミーセルDCPは、セルユニット

CU1およびCU2を含む。同様に、第2行に対応する並列ダミーセルDCPは、セルユニットCU3およびCU4を含む。

【0308】

メモリセルMCの行にそれぞれ対応して配置されるライトワード線WWLは、同一のメモリセル行に属するメモリセルMCおよびセルユニットによって共有される。たとえば、図45に示されたセルユニットについて、セルユニットCU1はライトワード線WWL1と対応し、セルユニットCU2およびCU3はライトワード線WWL2と対応し、セルユニットCU4はライトワード線WWL3と対応する。

【0309】

まず、図中に実線で示されるように、奇数行に対応するライトワード線WWL1, WWL3, ...を活性化してデータ書込電流 $I_p$ を流すとともに、ダミービット線DBLにデータ書込電流 $+I_w$ を流す。これにより、セルユニットCU1およびCU4に対して、同一レベルの記憶データが書込まれる。ここでは、セルユニットCU1およびCU4に対して記憶データ“1”が書込まれるものとする。

【0310】

次に、図中に点線で示されるように、偶数行に対応するライトワード線WWL2, WWL4, ...を活性化してデータ書込電流 $I_p$ を流すとともに、先程とは反対方向のデータ書込電流 $-I_w$ をダミービット線DBLに流す。これにより、セルユニットCU2およびCU3に対して、セルユニットCU1およびCU4と異なるレベルの記憶データを書込むことができる。すなわち、セルユニットCU2およびCU3に対して記憶データ“0”が書込まれる。

【0311】

この結果、2つの書込サイクルによって、各並列ダミーセルDCPを構成する2個のセルユニットのそれぞれに、“1”および“0”の記憶データを書込むことができる。ダミーメモリセルに対するデータ書込の実行タイミングについては、実施の形態3の変形例1と同様とすればよい。

【0312】

再び図44を参照して、データ読出回路50rに代えて配置されるデータ読出



回路50rrは、電流供給回路51および52と、増幅器53とを有する。データ読出回路50rrは、スイッチ54および55を介さずに、内部ノードNs1およびNs2をデータバスDBおよび/DBと直接接続する点が、データ読出回路50rと異なる。

#### 【0313】

この結果、列選択結果に対応するビット線において、メモリセルMCと接続されたビット線にはセンス電流Isが供給され、並列ダミーセルと接続されたダミービット線には、センス電流の2倍の $2 \cdot I_s$ が供給される。

#### 【0314】

これにより、内部ノードNs1には、選択されたメモリセルMCの記憶データに応じた読出電圧VHもしくはVLが生成される。一方、内部ノードNs2には、図36で説明したように並列ダミーセルによって読出参照電圧Vrefが生成される。

#### 【0315】

このように、ダミー列を構成するように並列ダミーセルを配置する構成によっても、製造ばらつきを許容して読出電圧VHおよびVLの間の値に確実に設定された読出参照電圧Vrefを用いて、信号マージンの大きいデータ読出を実行できる。

#### 【0316】

##### 〔実施の形態3の変形例6〕

図46は、実施の形態3の変形例6に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

#### 【0317】

図46を参照して、実施の形態3の変形例6に従う構成においては、図44に示される実施の形態3の変形例5に従う構成と比較して、並列ダミーセルDCPに代えて、図37に示される直列ダミーセルDCSが配置される点が異なる。

#### 【0318】

直列ダミーセルDCSは、各メモリセル行に対応して配置される。各直列ダミーセルDCSは、同一のリードワード線RWLによって選択されるとともに、ダ

ミービット線DBL1およびDBL2の間に直列に接続される2個のセルユニットを有する。

#### 【0319】

ダミービット線DBL2は、スイッチ62rを介して接地電圧Vssと結合される。スイッチ62rは、制御信号REに応答して、データ読出時においてオンする。

#### 【0320】

ダミービット線DBL1およびDBL2と、データバス/DBとの間には、ダミーコラム選択ゲートCSGd1およびCSGd2がそれぞれ接続される。ダミーコラム選択ゲートCSGd1およびCSGd2は、ダミーコラム選択線CSLd1およびCSGd2の活性化にそれぞれ応答してオンする。データ読出時には、選択されるメモリセル列にかかわらず、ダミーコラム選択線CSLd1は活性化され、ダミーコラム選択線CSLd2は非活性化される。

#### 【0321】

メモリセルMCの列にそれぞれ対応して、接地電圧Vssを供給するためのソース線SL1, SL2, ...が配置される。データ読出時において、各メモリセルMCは、ソース線SLを介して接地電圧Vssを供給される。

#### 【0322】

さらに、データ読出時において電流供給回路52からダミーメモリセルに供給される電流量が、メモリセルMCに対して供給されるセンス電流Isの半分、すなわちIs/2に設定される。データ読出に関連するその他の部分の構成は、図40と同様であるので、詳細な説明は繰り返さない。

#### 【0323】

図47は、図46に示される直列ダミーセルDCSに対するデータ書込を説明する概念図である。図47には、第1行に対応して設けられる直列ダミーセルDCSに対するデータ書込が代表的に示される。

#### 【0324】

図47を参照して、第1行に対応して設けられる直列ダミーセルDCSは、リードワード線RWL1によって選択されるセルユニットCU1およびCU2を

メモリセルMCの行にそれぞれ対応して配置されるライトワード線WWLは、同一のメモリセル行に属するメモリセルMCおよびセルユニットによって共有される。すなわち、第1行に対応して設けられる直列ダミーセルDCSに対するデータ書込は、ライトワード線WWL1を用いて実行される。

#### 【0325】

データ書込時において、データ書込電流は、データバス/DBによって結合されたダミービット線DBL1およびDBL2によって構成されるビット線対DBLPを往復電流として流れる。

#### 【0326】

したがって、ダミーライトワード線DWWL1を活性化してデータ書込電流Ipを流すとともに、ダミービット線DBL1およびDBL2にデータ書込電流Iwを流すことにより、セルユニットCU1およびCU2に対して、それぞれ異なるレベルの記憶データが書込まれる。ここでは、セルユニットCU1に対して“1”、セルユニットCU2に対して“0”が書込まれるものとする。

#### 【0327】

同様に、他のメモリセル行に対応する直列ダミーセルDCSに対しても、同様のデータ書込が並列に実行される。この結果、各直列ダミーセルDCSを構成する2個のセルユニットのそれぞれに対して、1つの書込サイクルによって、“1”および“0”の記憶データを書込むことができる。

#### 【0328】

データ読出時における動作は、実施の形態3の変形例5と同様であるので詳細な説明は繰り返さない。このように、直列ダミーセルを用いても、製造ばらつきを許容して読出電圧VHおよびVLの間の値に確実に設定された読出参照電圧Vrefを用いて、信号マージンの大きいデータ読出を実行できる。さらに、直列ダミーセルを用いることによって、データ読出時における消費電力の抑制および、ダミーメモリセルに対するデータ書込時間の短縮を図ることができる。既に説明したように、このような直列型ダミーセルでは、トンネル膜を流れる電流が約半分に減少するので、ダミーセルの信頼性が向上するという利点もある。

#### 【0329】

さらに、同一方向に配置されるダミービット線DBL1、DBL2、ビット線BLおよびソース線SLの各々について、単位長当たりの電気抵抗値を同様に設計することにより、メモリセルMCおよびダミーメモリセルのそれぞれに供給されるセンス電流 $I_s$ の電流経路の電気抵抗値を、選択メモリセル行の位置に関らず一様に設定することができる。この結果、選択メモリセル行の位置に依存したセンス電流量の変動を防止して、データ読出時の信号マージンをさらに向上できる。

## 【0330】

## 【実施の形態3の変形例7】

図48は、実施の形態3の変形例7に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

## 【0331】

図48を参照して、実施の形態3の変形例7に従う構成においては、図44に示される実施の形態3の変形例5に従う構成と比較して、各並列ダミーセルDCPが2列にわたって配置されるセルユニットによって構成される点が異なる。すでに説明したように、セルユニットCUの構成は、メモリセルMCと同様である。

## 【0332】

このような構成とすることにより、ダミー列部分におけるセルユニットと正規のメモリセルとを同様のピッチで配置できる。すなわち、単純に2列分余分に配置されたメモリセルMCをセルユニットCUとして用いて、並列ダミーセルDCPを容易に作製できる。

## 【0333】

並列ダミーセルDCPは、各メモリセル行に対応して配置される。各並列ダミーセルDCPは、同一のリードワード線RWLによって選択される2個のセルユニットCUを有する。

## 【0334】

セルユニットの列にそれぞれ対応して、ダミービット線DBL1およびDBL2が配置される。

## 【0335】

さらに、ダミービット線DBL1およびDBL2と、データバス/DBとの間には、ダミーコラム選択ゲートCSGd1およびCSGd2がそれぞれ接続される。ダミーコラム選択ゲートCSGd1およびCSGd2は、ダミーコラム選択線CSLd1およびCSGd2の活性化にそれぞれ応答してオンする。データ読出時においては、選択されるメモリセル列にかかわらず、ダミーコラム選択線CSLd1およびCSLd2は活性化される。

## 【0336】

データ読出に関連するその他の部分の構成は、図40と同様であるので、詳細な説明は繰り返さない。

## 【0337】

図49は、図48に示される並列ダミーセルに対するデータ書込を説明する概念図である。図49には、第1行に対応して設けられる並列ダミーセルDCPに対するデータ書込が代表的に示される。

## 【0338】

図49を参照して、第1行に対応して設けられる並列ダミーセルDCPは、リードワード線RWL1によって選択されるセルユニットCU1およびCU2を有する。

## 【0339】

メモリセルMCの行にそれぞれ対応して配置されるライトワード線WWLは、同一のメモリセル行に属するメモリセルMCおよびセルユニットCUによって共有される。すなわち、第1行に対応して設けられる並列ダミーセルDCPに対するデータ書込は、ライトワード線WWL1を用いて実行される。

## 【0340】

データ書込時において、データ書込電流は、データバス/DBによって結合されたダミービット線DBL1およびDBL2によって構成されるビット線対DBLPを往復電流として流れる。

## 【0341】

したがって、ライトワード線WWL1を活性化してデータ書込電流Ipを流す

とともに、ダミービット線DBL1およびDBL2に往復電流としてデータ書込電流 $I_w$ を流すことにより、セルユニットCU1およびCU2に対して、それぞれ異なるレベルの記憶データが書込まれる。ここでは、セルユニットCU1に対して“1”、セルユニットCU2に対して“0”が書込まれるものとする。

【0342】

同様に、他のメモリセル行に対応する並列ダミーセルDCPに対しても、同様のデータ書込が並列に実行される。この結果、各並列ダミーセルDCPを構成する2個のセルユニットのそれぞれに対して、1つの書込サイクルによって、“1”および“0”の記憶データを書込むことができる。

【0343】

データ読出時における動作は、実施の形態3の変形例5と同様であるので詳細な説明は繰り返さない。このように、実施の形態3の変形例7の構成としても、製造ばらつきを許容して読出電圧 $V_H$ および $V_L$ の間の値に確実に設定された読出参照電圧 $V_{ref}$ を用いて、信号マージンの大きいデータ読出を実行できる。さらに、ダミーメモリセルに対するデータ書込時間の短縮を図ることができる。

【0344】

なお、実施の形態3およびその変形例において、メモリセルMCおよびダミーメモリセルを構成するセルユニットについて、図14および図15に示した、ダイオードをアクセス素子として用いたMTJメモリセルの構成を適用することも可能である。

【0345】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0346】

【発明の効果】

請求項1から5および7に記載の薄膜磁性体記憶装置は、各メモリセル中の磁気記憶部を磁化容易軸方向の磁界によって容易に磁化される領域に形成すること

ができる。この結果、データ読出時の信号マージンを確保するとともに、データ書込時に必要なデータ書込電流を小さくして、消費電流および磁気ノイズを抑制できる。

## 【 0 3 4 7 】

請求項 6 記載の薄膜磁性体記憶装置は、各磁気記憶部における磁化容易軸方向と、データ書込時に印加される磁界の方向とを一致させることができるので、磁界の発生に必要な電流量を抑制できる。この結果、請求項 1 記載の薄膜磁性体記憶装置が奏する効果に加えて、消費電流および磁気ノイズをさらに抑制できる。

## 【 0 3 4 8 】

請求項 8 記載の薄膜磁性体記憶装置は、ダイオードによってアクセス素子を構成するので各メモリセルのサイズを縮小できる。請求項 1 から 6 に記載の薄膜磁性体記憶装置が奏する効果に加えて、小型化をさらに図ることができる。

## 【 0 3 4 9 】

請求項 9、13 および 14 に記載の薄膜磁性体記憶装置は、メモリセルと同様の構成を有するセルユニットに記憶されたデータに基づいて、読出参照電圧を生成できる。この結果、製造ばらつきを許容して読出参照電圧を適切なレベルに設定することによって、信号マージンの大きいデータ読出を実行できる。

## 【 0 3 5 0 】

請求項 10 記載の薄膜磁性体記憶装置は、請求項 9 記載の薄膜磁性体記憶装置が奏する効果に加えて、ダミーメモリセルを構成するセルユニットを、メモリセルと同一ピッチで配置できる。したがって、製造工程の複雑化を防ぐことができる。

## 【 0 3 5 1 】

請求項 11 記載の薄膜磁性体記憶装置は、請求項 9 記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出時における消費電流を抑制できる。

## 【 0 3 5 2 】

請求項 12 記載の薄膜磁性体記憶装置は、請求項 9 記載の薄膜磁性体記憶装置が奏する効果に加えて、ダミーメモリセルに対するデータ書込を高速化できる。

## 【0353】

請求項15記載の薄膜磁性体記憶装置は、各リードワード線RWLに対応して、1本おきのビット線BLにメモリセルが接続されるのでセルサイズを増加させることなく折返し型ビット線構成に基づくデータ読出に適したメモリセル配置を実行できる。さらに、ピッチずらしを実行しない場合と比較して、磁気記憶部同士間の距離を長くすることができるので、メモリセル間の磁界干渉を抑制して動作マージンを確保できる。メモリセル間の行方向ピッチを容易に確保して、メモリアレイを高集積化することができる。

## 【0354】

請求項16記載の薄膜磁性体記憶装置は、ピッチずらしを実行しない場合と比較して、磁気記憶部同士間の距離を長くすることができるので、メモリセル間の磁界干渉を抑制して動作マージンを確保できる。メモリセル間の行方向ピッチを容易に確保して高集積化を図ることができる。

## 【0355】

請求項17記載の薄膜磁性体記憶装置は、各リードワード線RWLに対応して、1本おきのビット線BLにメモリセルが接続されるのでセルサイズを増加させることなく折返し型ビット線構成に基づくデータ読出に適したメモリセル配置を実行できる。

## 【0356】

請求項18記載の薄膜磁性体記憶装置は、磁気記憶部同士間の距離を長くすることができるので、メモリセル間の磁界干渉を抑制して動作マージンを確保できる。また、メモリセル間の行方向ピッチを容易に確保して高集積化を図ることができる。

## 【0357】

請求項19記載の薄膜磁性体記憶装置は、各リードワード線RWLに対応して、1本おきのビット線BLにメモリセルが接続されるのでセルサイズを増加させることなく折返し型ビット線構成に基づくデータ読出に適したメモリセル配置を実行できる。

## 【0358】



請求項 2 0 記載の薄膜磁性体記憶装置は、セルサイズを増加させることなく、折返し型ビット線構成に基づくデータ書込に適したメモリセル配置を実行できる。また、メモリセル間の行方向ピッチを容易に確保して高集積化を図ることができる。

## 【 0 3 5 9 】

請求項 2 1 記載の薄膜磁性体記憶装置は、請求項 1 8 および 2 0 記載の薄膜磁性体記憶装置が奏する効果に加えて、ライトワード線の電流密度を抑制して、信頼性向上を図ることができる。

## 【 0 3 6 0 】

請求項 2 2 記載の薄膜磁性体記憶装置は、各リードワード線 R W L に対応して、1 本おきのビット線 B L にメモリセルが接続されるのでセルサイズを増加させることなく折返し型ビット線構成に基づくデータ読出に適したメモリセル配置を実行できる。

## 【 0 3 6 1 】

請求項 2 3 記載の薄膜磁性体記憶装置は、アクセストランジスタのコンタクト数を削減して、メモリセルを配置することができる。

## 【 0 3 6 2 】

請求項 2 4 記載の薄膜磁性体記憶装置は、請求項 2 3 記載の薄膜磁性体記憶装置が奏する効果に加えて、メモリセルサイズの小型化を図ることができる。

## 【 0 3 6 3 】

請求項 2 5 記載の薄膜磁性体記憶装置は、請求項 2 3 および 2 4 記載の薄膜磁性体記憶装置が奏する効果に加えて、折返し型ビット線構成に基づくデータ読出に適したメモリセル配置およびメモリセル間の行方向ピッチを確保することによる高集積化をそれぞれ図ることができる。

## 【 0 3 6 4 】

請求項 2 6 記載の薄膜磁性体記憶装置は、請求項 2 3 および 2 4 記載の薄膜磁性体記憶装置が奏する効果に加えて、各磁気記憶部同士間の距離を長くすることができるので、メモリセル間の磁界干渉を抑制して動作マージンを確保できる。また、メモリセル間の行方向ピッチを容易に確保して高集積化を図ることができ

る。

【0365】

請求項27記載の薄膜磁性体記憶装置は、請求項23から26に記載の薄膜磁性体記憶装置が奏する効果に加えて、ライトワード線の電流密度を抑制して、信頼性向上を図ることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【図2】 図1に示されるメモリアレイの構成を示す概念図である。

【図3】 図2に示されるトンネル磁気抵抗素子を示す断面図である。

【図4】 図3に示される自由磁気層における磁化方向を示す概念図である。

【図5】 磁化容易軸領域における磁化特性を示す概念図である。

【図6】 磁化困難軸領域における磁化特性を示す概念図である。

【図7】 実施の形態1に従うトンネル磁気抵抗素子の第1の構成例を示す概念図である。

【図8】 図7に示すトンネル磁気抵抗素子の断面図である。

【図9】 実施の形態1に従うトンネル磁気抵抗素子の第2の配置例を示す概念図である。

【図10】 実施の形態1に従うトンネル磁気抵抗素子の第3の配置例を示す概念図である。

【図11】 実施の形態1の変形例1に従うトンネル磁気抵抗素子の配置を示す概念図である。

【図12】 実施の形態1の変形例2に従うトンネル磁気抵抗素子の配置を示す概念図である。

【図13】 実施の形態1の変形例3に従うトンネル磁気抵抗素子の配置を示す概念図である。

【図14】 ダイオードをアクセス素子として用いたMTJメモリスループの第1の構成例を示す回路図である。

【図 1 5】 ダイオードをアクセス素子として用いた M T J メモリセルの第 2 の構成例を示す回路図である。

【図 1 6】 半導体基板上における M T J メモリセルの第 1 の構成例を示す構造図である。

【図 1 7】 半導体基板上における M T J メモリセルの第 2 の構成例を示す構造図である。

【図 1 8】 半導体基板上における M T J メモリセルの第 3 の構成例を示す構造図である。

【図 1 9】 実施の形態 2 に従う M T J メモリセルの第 1 の配置例を示す概念図である。

【図 2 0】 実施の形態 2 に従う M T J メモリセルの第 2 の配置例を示す概念図である。

【図 2 1】 実施の形態 2 に従う M T J メモリセルの第 3 の配置例を示す概念図である。

【図 2 2】 実施の形態 2 に従う M T J メモリセルの第 4 の配置例を示す概念図である。

【図 2 3】 実施の形態 2 に従う M T J メモリセルの第 5 の配置例を示す概念図である。

【図 2 4】 実施の形態 2 の変形例 1 に従う M T J メモリセルの第 1 の配置例を示す概念図である。

【図 2 5】 実施の形態 2 の変形例 1 に従う M T J メモリセルの第 2 の配置例を示す概念図である。

【図 2 6】 実施の形態 2 の変形例 1 に従う M T J メモリセルの第 3 の配置例を示す概念図である。

【図 2 7】 実施の形態 2 の変形例 2 に従う M T J メモリセルの第 1 の配置例を示す概念図である。

【図 2 8】 実施の形態 2 の変形例 2 に従う M T J メモリセルの第 2 の配置例を示す概念図である。

【図 2 9】 実施の形態 2 の変形例 2 に従う M T J メモリセルの第 3 の配置

例を示す概念図である。

【図 3 0】 実施の形態 2 の変形例 2 に従う M T J メモリセルの第 4 の配置例を示す概念図である。

【図 3 1】 実施の形態 2 の変形例 2 に従う M T J メモリセルの第 5 の配置例を示す概念図である。

【図 3 2】 実施の形態 2 の変形例 3 に従う M T J メモリセルの第 1 の配置例を示す概念図である。

【図 3 3】 実施の形態 2 の変形例 3 に従う M T J メモリセルの第 2 の配置例を示す概念図である。

【図 3 4】 実施の形態 2 の変形例 3 に従う M T J メモリセルの第 3 の配置例を示す概念図である。

【図 3 5】 本発明の薄膜磁性体記憶装置における折返し型ビット線構成に基づくデータ読出を説明する概念図である。

【図 3 6】 実施の形態 3 に従うダミーメモリセルの第 1 の構成例を示す回路図である。

【図 3 7】 実施の形態 3 に従うダミーメモリセルの第 2 の構成例を示す回路図である。

【図 3 8】 実施の形態 3 の変形例 1 に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

【図 3 9】 図 3 8 に示される並列ダミーセルに対するデータ書込を説明する概念図である。

【図 4 0】 実施の形態 3 の変形例 2 に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

【図 4 1】 実施の形態 3 の変形例 3 に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

【図 4 2】 図 4 1 に示される直列ダミーセルに対するデータ書込を説明する概念図である。

【図 4 3】 実施の形態 3 の変形例 4 に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

【図 4 4】 実施の形態 3 の変形例 5 に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

【図 4 5】 図 4 4 に示される並列ダミーセルに対するデータ書込を説明する概念図である。

【図 4 6】 実施の形態 3 の変形例 6 に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

【図 4 7】 図 4 6 に示される直列ダミーセルに対するデータ書込を説明する概念図である。

【図 4 8】 実施の形態 3 の変形例 7 に従うメモリアレイおよびその周辺回路のデータ読出に関する部分の構成を示すブロック図である。

【図 4 9】 図 4 8 に示される並列ダミーセルに対するデータ書込を説明する概念図である。

【図 5 0】 磁気トンネル接合を有するメモリセルの構成を示す概略図である。

【図 5 1】 MTJ メモリセルからのデータ読出動作を説明する概念図である。

【図 5 2】 MTJ メモリセルに対するデータ書込動作を説明する概念図である。

【図 5 3】 データ書込時におけるデータ書込電流の方向と磁界方向との関係を説明する概念図である。

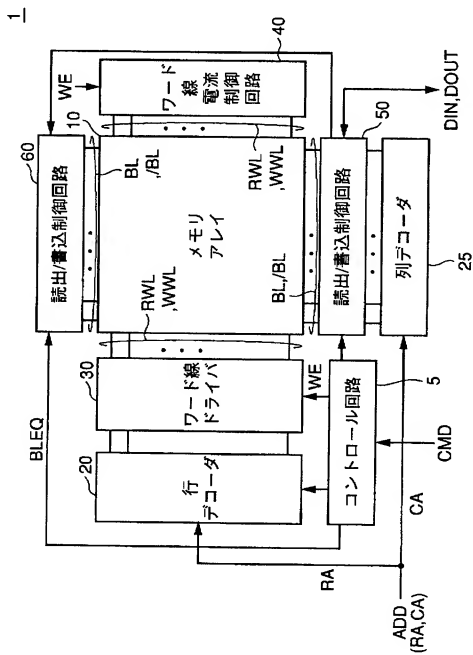
# 【符号の説明】

10 メモリアレイ、20 行デコーダ、25 列デコーダ、30 ワード線ドライバ、40 ワード線電流制御回路、50、60 読出／書込制御回路、50r、50rr データ読出回路、51、52 電流供給回路、53 増幅器、54、55 スイッチ、101 反強磁性体層、102 固定磁気層、103 自由磁気層、104 トンネルバリア、105 コンタクト電極、106 バリアメタル、110 磁化容易軸領域、112、114 磁化困難軸領域、115 トンネル接合領域、130b コンタクト、130d ドレイン側コンタクト、130s ソース側コンタクト、ATR アクセストランジスタ、CU セル

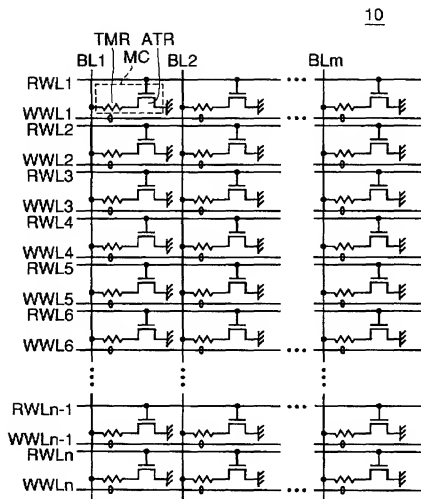
ユニット、BL、／BL ビット線、BLP ビット線対、DB、／DB データバス、DBL ダミービット線、DBP データバス対、DCP 並列ダミーセル、DCS 直列ダミーセル、DRWL ダミーリードワード線、DWWL ダミーライトワード線、Ip、Iw データ書込電流、MC、MCD、MCDD メモリセル、MTa、MTb メモリマツト、RWL リードワード線、SL ソース線、WWL ライトワード線。

【書類名】 図面

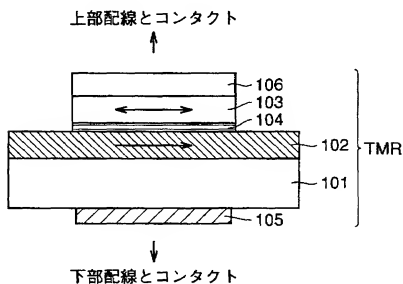
【図1】



【図2】

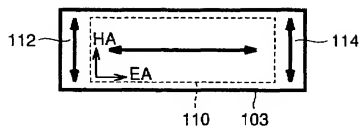


【図3】

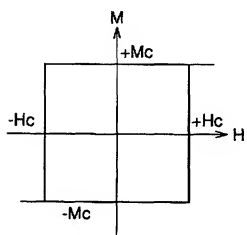




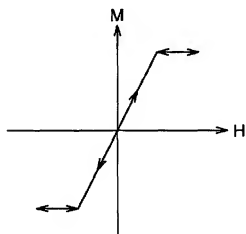
【図4】



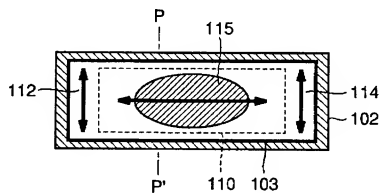
【図5】



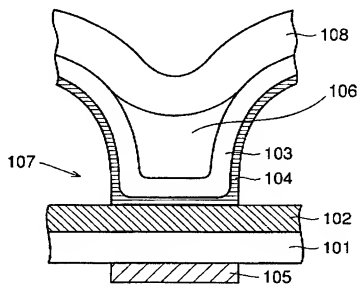
【図6】



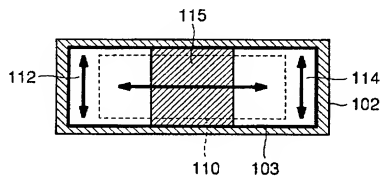
【図 7】



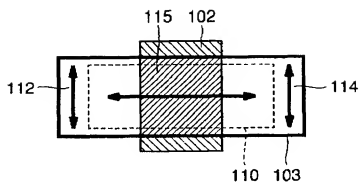
【図 8】



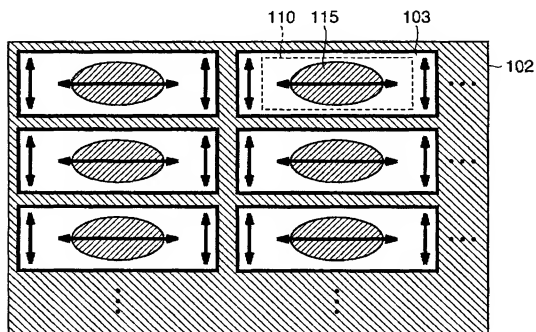
【図 9】



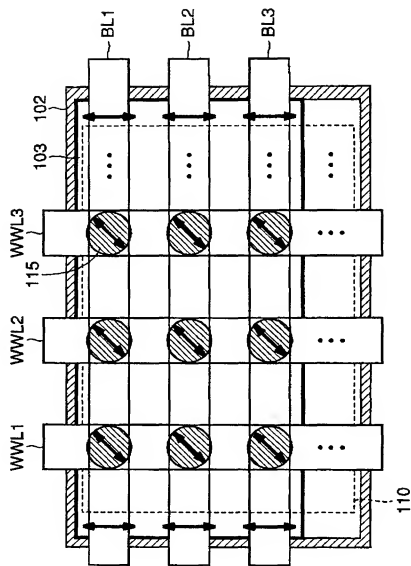
【図 1 0】



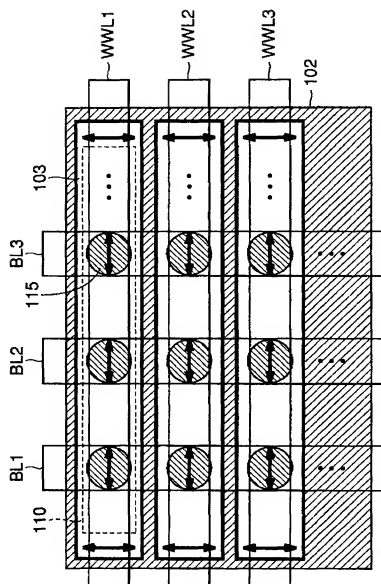
【図 1 1】



【 図 1 2 】

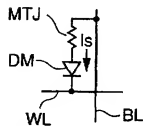


【図13】



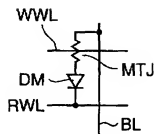
【図14】

MCDD

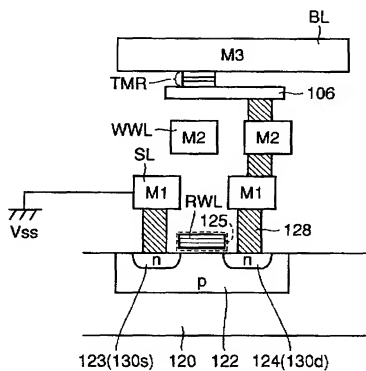


【図15】

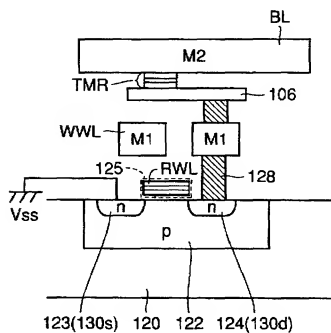
MCD



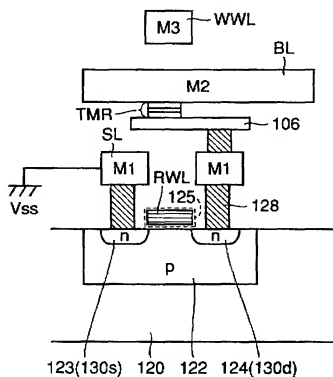
【図16】



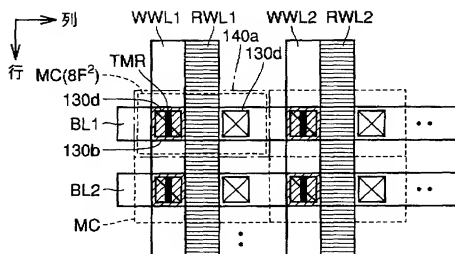
【図 17】



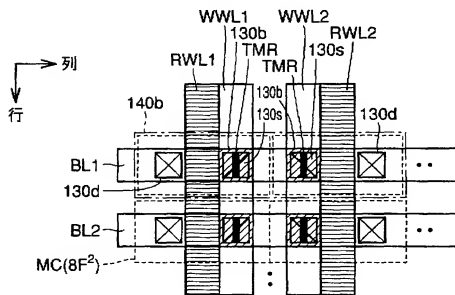
【図 18】



【図19】

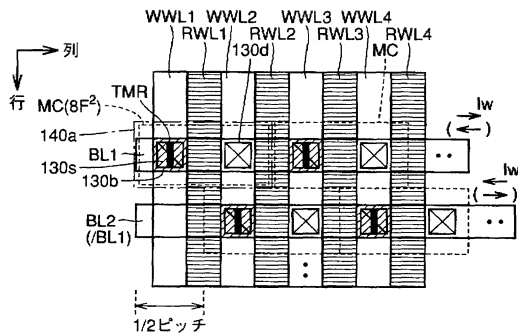


【図20】

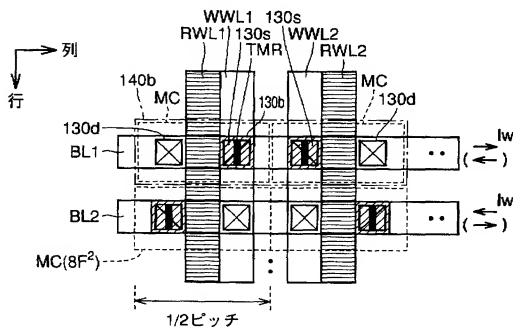




【図21】



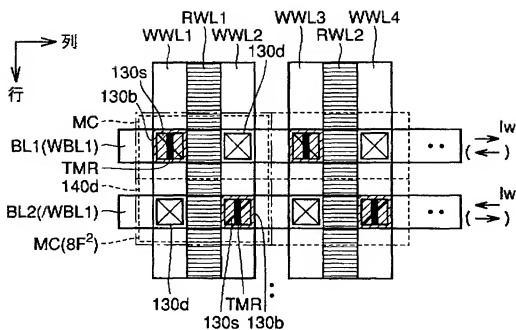
【図22】



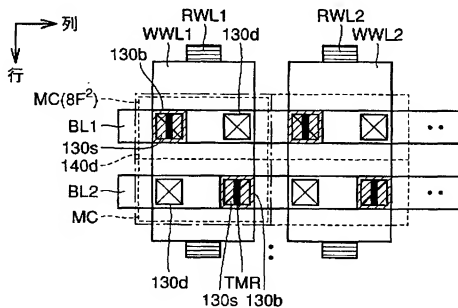




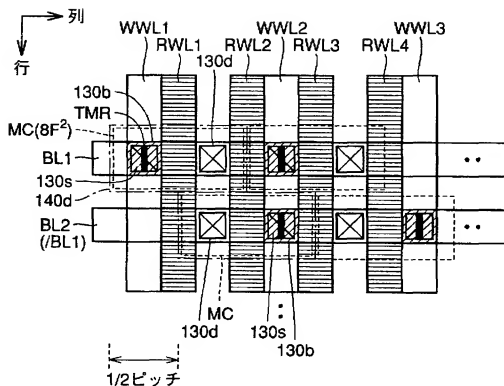
【図 27】



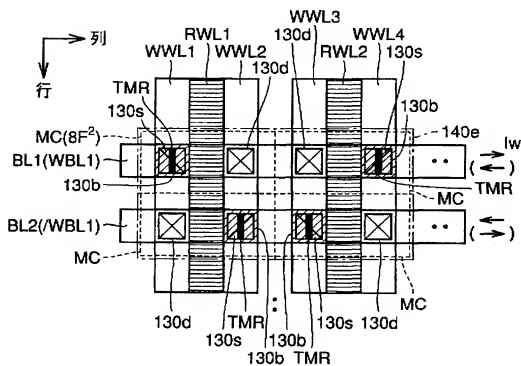
【図 28】



【图 29】

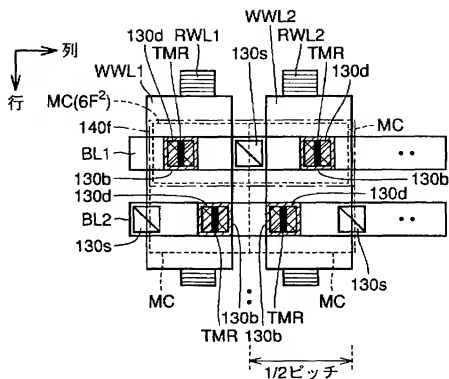


【图 30】

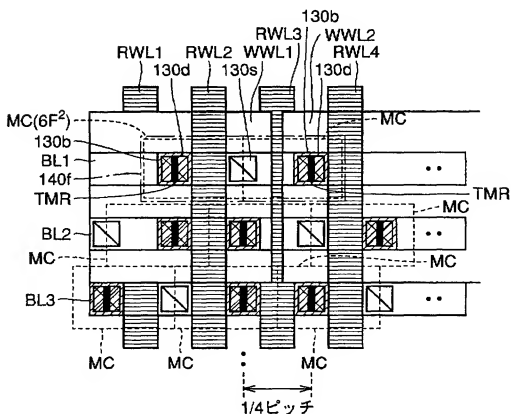




【図33】



【図34】

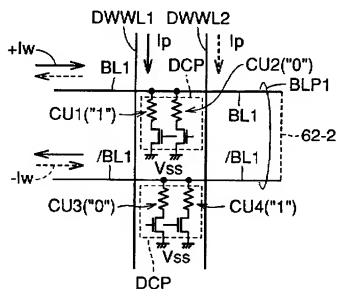




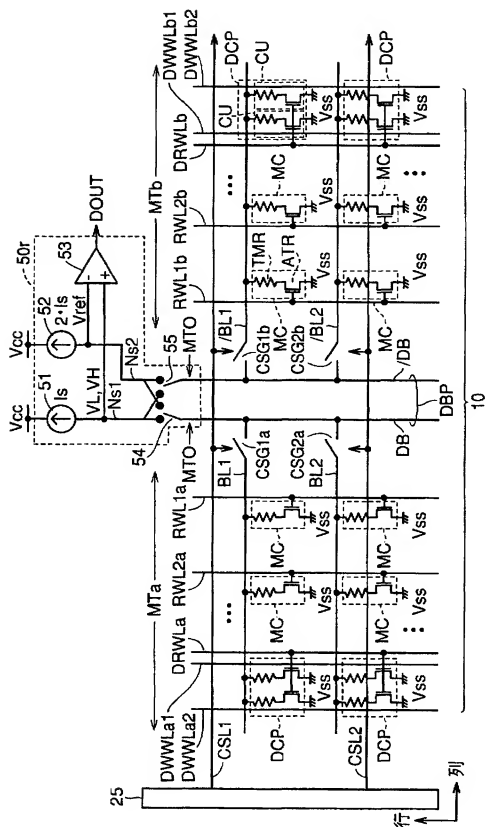




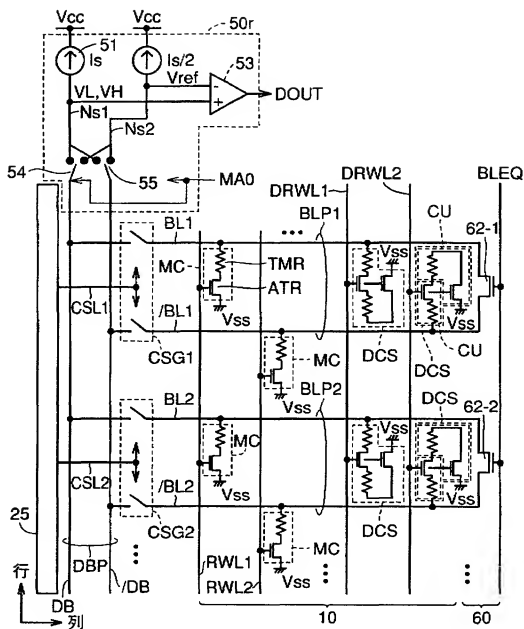
【図 3 9】



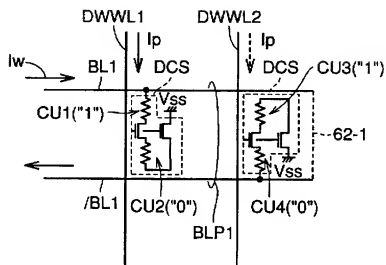
【図 40】



【図41】

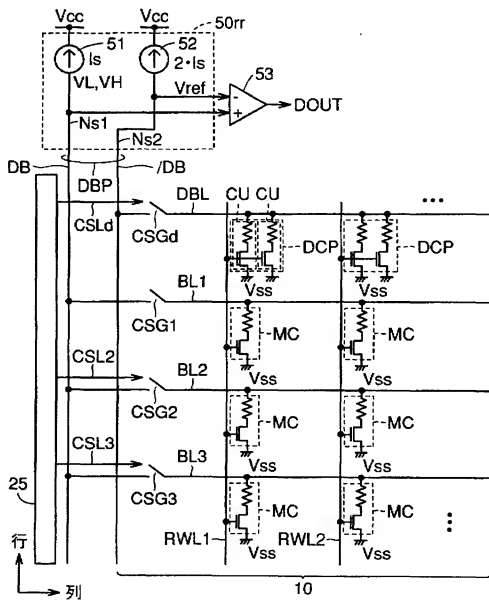


【図 4 2】

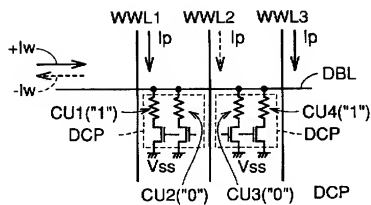




【図 4 4】

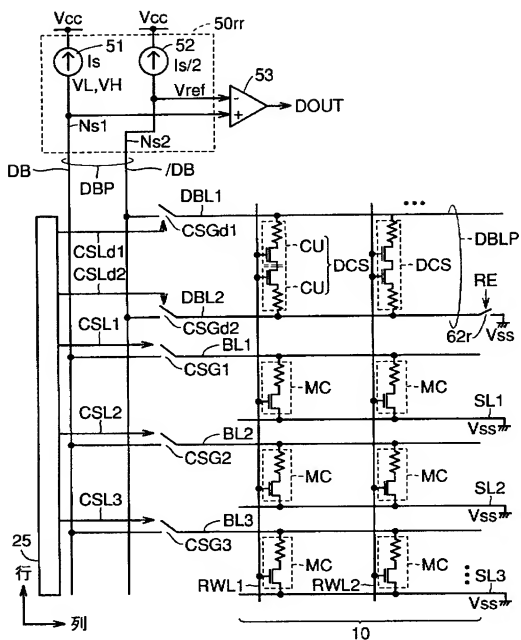


【図 45】

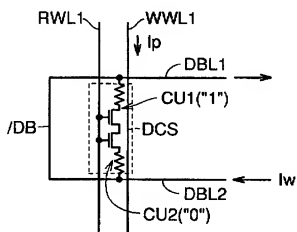




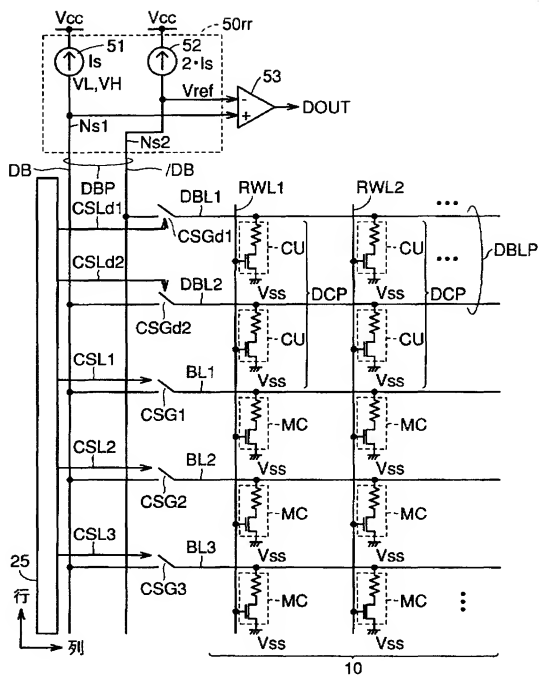
【図46】



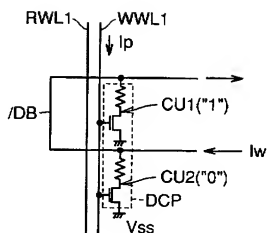
【図47】



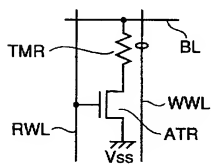
【図48】



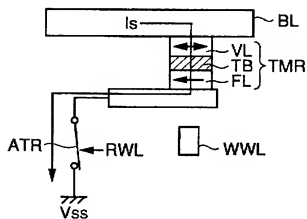
【図 49】



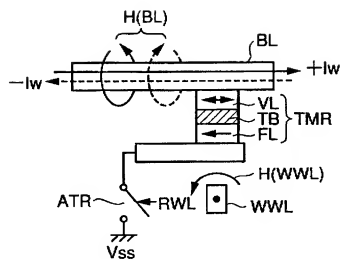
【図 50】



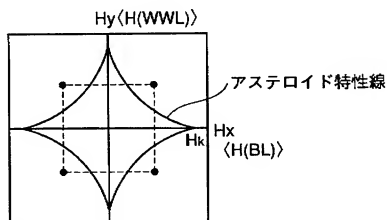
【図 51】



【図 5 2】



【図 5 3】



【書類名】 要約書

【要約】

【課題】 一様な磁化特性を有するトンネル磁気抵抗素子によって各メモリセルが構成された薄膜磁性体記憶装置を提供する。

【解決手段】 磁性体メモリセルを構成するトンネル磁気抵抗素子TMRは、一定方向の固定磁界を有する固定磁気層102と、印加磁界によって磁化される自由磁気層103と、トンネル接合領域115において固定磁気層102と自由磁気層103との間に設けられる絶縁体膜であるトンネルバリアとを有する。自由磁気層103において、メモリセルとして望ましい特性を有する磁化容易軸領域110に相当する領域が、トンネル接合領域115として用いられる。一方、メモリセルとして望ましくない特性を有する磁化困難軸領域112, 114は、トンネル磁気抵抗素子TMRの構成部分としては、用いられない。

【選択図】 図7

出 願 人 履 歴 情 報

識別番号

[000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社